1. ブール代数

- ブール代数の広い定義： 集合 L が与えられ、その任意の元（要素）A、B に対して、2つの演算･、＋が定義される時、A･B、A+B は L の元であり、次の公理が成立する。

  表4．2ブール代数の公理

公理1	交換則	A･B=B･A A+B=B+A
公理2	結合則	A･(B･C) = (A･B)･C A+(B+C) = (A+B)+C
公理3	吸収則	A･(A+B) = A A+(A･B) = A
公理4	分配則	A･(B+C) = (A･B)+(A･C) A+(B･C) = (A+B)･(A+C)
公理5	相補則	最小限 0 と最大限 1 が存在し、任意の A に対し A･A'=0 A+A'=1 A'（教科書の表記と異なる）は A の補元

- 具体的には2値（'０'と'１'）を取る論理関数はブール代数となる。
  〇集合 L： 元は'０'と'１'
  〇2つの演算･、＋をそれぞれ、AND と OR に対応させる。
  〇A の補元 A'を論理関数の A に対する NOT に対応させる。

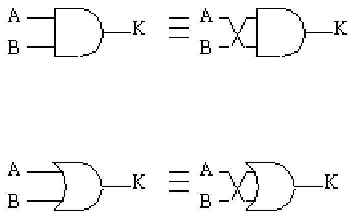
- 任意の論理関数f(A, B, C, …)は'０'または'１'の値をとり L に属し、論理関数の集合はブール代数となる。
  すなわち、ブール代数の諸性質は、すべて論理関数に適用できる。

2. ブール代数の公式集

1．可換則

A･B = B･A　（1－1）

A+B = B+A　（1－2）



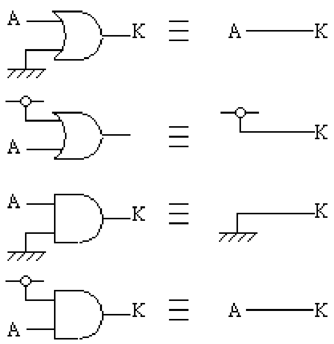
2．吸収則

A+0 = A　（1－3）

A+1 = 1　（1－4）

A･0 = 0　（1－5）

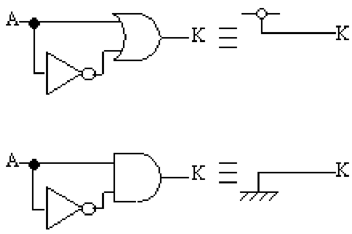
A･1 = A　（1－6）

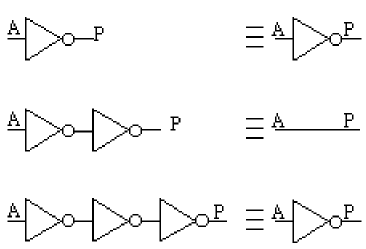


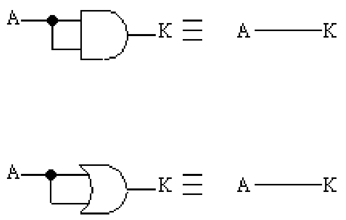
3．相補則

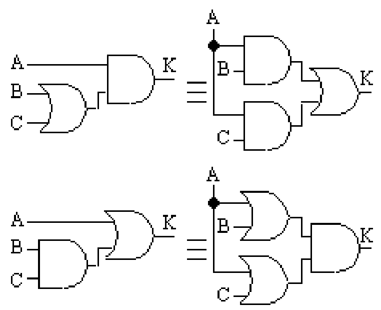
A+A' = 1　（1－7）

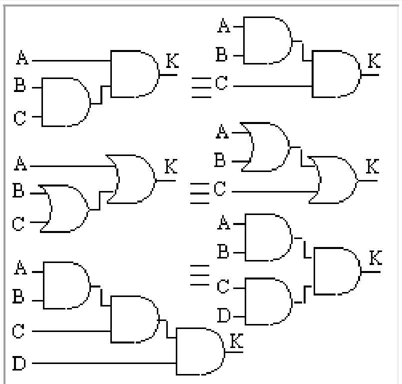
A･A' = 0　（1－8）

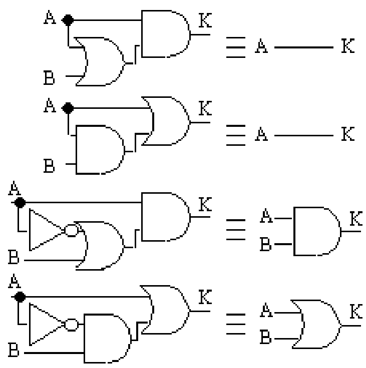


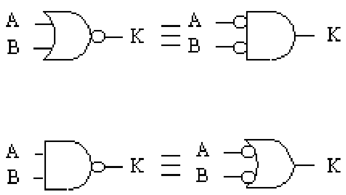
４．二重否定則	
$A'' = A$ （１－９） NOT ゲート2段で、 信号は遅れるが、 元と同じ信号になる。	

５．べき等則	
$A \cdot A = A$ （１－１０） $A + A = A$ （１－１１）	

６．分配則	
$A \cdot (B+C) = (A \cdot B)+(A \cdot C)$ （１－１２） $A+(B \cdot C) = (A+B) \cdot (A+C)$ （１－１３）	

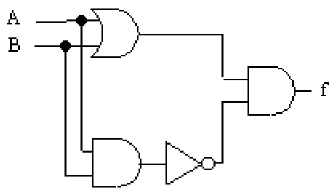
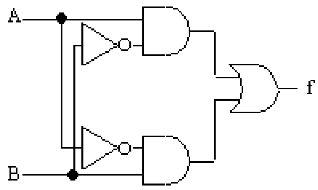
7．結合則	
A・(B・C) = (A・B)・C　（1－14） A+(B+C) = (A+B)+C　（1－15）	 2段の方が遅延時間小さい

8．吸収則1	
A・(A+B) = A　（1－16） A+(A・B) = A　（1－17） A・(A'+B) = A・B　（1－18） A+(A'・B) = A+B　（1－19）	 AND−OR／OR−AND で 同じ信号が入ると おかしい！

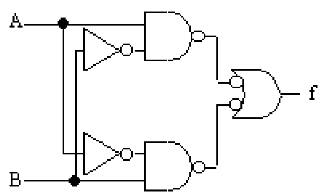
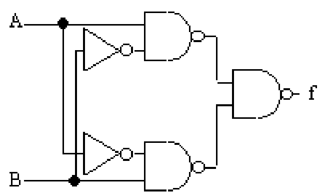
9．ド・モルガンの定理	
(A+B)' = A'　・B'　（1－20） (A・B)' = A' + B'　（1－21）	

3. 例題

- **ブール代数公理／定理により式を変換することで、異なる回路を作れる。**
- このような、ある出力状態が、その時の入力状態の組み合せによって決定される論理回路を**「組み合せ回路」**もしくは**「組み合せ論理回路」**という。

f = (A+B)･(A･B)’ を実現すると		トランジスタ数＝ 6（NOR）＋6（AND）＋2（NOT）＋6（AND） ＝20
式を変形する、 f = (A+B)･(A･B)’ = (A+B)･(A’+B’) =A･(A’+B’) + B(A’+B’) =A･A’ + A･B’ + B･A’ + B･B’ = 0 + A･B’ + B･A’ + 0 = A･B’ + B･A’		トランジスタ数＝ 6＋6＋6＋2＋2 ＝22 トランジスタ数は増えてしまった！

- **回路の変形方法**
  AND や OR ではなく、NAND や NOR を使用する方が回路面積は小さい・

上記回路に対して、NOT2つを挿入	ドモルガンの定理適用（16トランジスタで実現）
	

4. シャノンの展開定理（加法標準形）

$f(X1, X2, ..., Xi, ...Xn) = Xi \cdot f(X1, X2, ..., Xi-1, 1, Xi+1, ..., Xn) + Xi' \cdot f(X1, X2, ..., Xi-1, 0, Xi+1, ..., Xn)$

したがって、

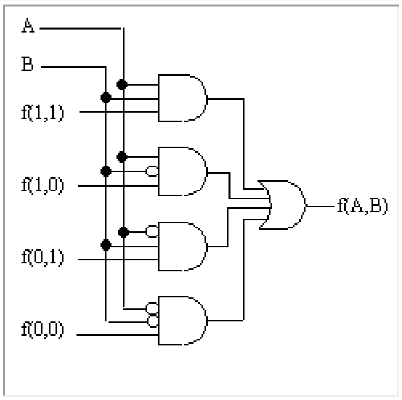
$f(A, B) = A \cdot f(1, B) + A' \cdot f(0, B) = A \cdot (B \cdot f(1,1) + B' \cdot f(1,0)) + A' \cdot (B \cdot f(0,1) + B' \cdot f(0,0))$

$f(A, B) = A \cdot B \cdot f(1,1) + A \cdot B' \cdot f(1,0) + A' \cdot B \cdot f(0,1) + A' \cdot B' \cdot f(0,0)$

（加法標準形：入力信号またはその反転信号を AND し、その AND 出力を OR する形）

に展開することができる。

結果的にf(A,B)=1 の項のみ残る。



したがって、以下のような真理値表が与えられたら、

入力 A	入力 B	出力 f(A, B)
0	0	f(0,0) = 0
0	1	f(0,1) = 1
1	0	f(1,0) = 1
1	1	f(1,1) = 0

$f(A,B) = A \cdot B \cdot f(1,1) + A \cdot B' \cdot f(1,0) + A' \cdot B \cdot f(0,1) + A' \cdot B' \cdot f(0,0) = A \cdot B' + B' \cdot A$

となる。

- **ある真理値表が与えられた時、「結果が1となる変数の値0，1のそれぞれの組み合わせについて、その値が1の時はそのまま、0の時はその変数を NOT し、すべての変数の AND をとった項を OR で結ぶことで、論理関数を求めることができる。」**

（乗法標準形）

f(X1, X2, …, Xi, …Xn) = (Xi + f(X1, X2, …, Xi−1, **0**, Xi+1, …, Xn)) ・ (Xi ' + f(X1, X2, …, Xi−1, 1, Xi+1, …, Xn))

f(A,B) = (A+B+f(0,0)) ・ (A+B'+f(0,1)) ・ (A'+B+f(1,0)) ・ (A'+B'+f(1,1))

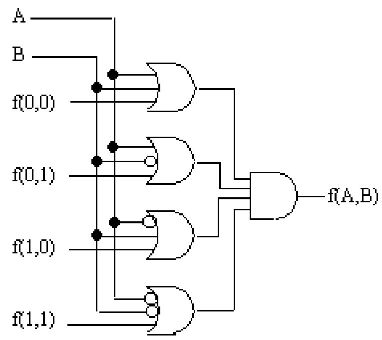
<table>
<tr><td>

（**乗法標準形：入力信号またはその反転信号を OR し、その OR 出力を AND する形**）

に展開することができる。

結果的にf(A,B)=0 の項のみ残る。

</td><td>



</td></tr>
</table>

- **ある真理値表が与えられた時、「結果が0となる変数の値0，1のそれぞれの組み合わせについて、その値が0の時はそのまま、1の時はその変数を NOT し、すべての変数の OR をとった項を AND で結ぶことで、論理関数を求めることができる。」**

宿題3　学籍番号　名前　日付　を書いて　提出すること。

（注意：回路を設計する場合、特に明記しないが、なるべく少ないゲート数で実現せよ。）

1）２入力 NAND ゲートのトランジスタレベルの回路図を書け
2）２入力 AND の真理値表が書け
3）２入力 OR の真理値表が書け
4）n入力 NAND、NOR ゲートのトランジスタ数はいくらか？
5）n入力 AND、OR ゲートのトランジスタ数はいくらか？
6）　式　f(A, B, C) = A’・B・C + A・B’・C + A・B・C’ + A・B・C
を AND、OR、NOT ゲート用いて回路図を実現せよ。総トランジスタ数はいくつか？
7）上記式を NAND、NOR、NOT を用いて実現せよ。総トランジスタ数はいくつか？
8）上記式を以下のように変形する。最後の式はどうなる？

f(A, B, C) = A’・B・C + A・B’・C + A・B・C’ + A・B・C
= (A’・B・C+A・B・C) + (A・B’・C+A・B・C) + (A・B・C’ +A・B・C)
=????????????????????

9）上記 8）の結果式を、AND、OR、NOT ゲートだけを用いて回路図を実現せよ（AND, OR, NOT の全てを用いる必要はない）。総トランジスタ数はいくつか？
10）上記 8）の結果式を、NAND、NOR、NOT ゲート用いて回路図を実現せよ（NAND, NOR, NOT の全てを用いる必要はない）。総トランジスタ数はいくつか？
11）　A・C + B・C’ + A・B = A・C + B・C’　をブール代数の公式を用いて、証明せよ。
（左辺を変形してゆき、右辺にする）

12）　以下の真理値表で与えられる論理関数を乗法標準形で表せ。

入力 A	入力 B	出力　f(A, B)
0	0	f(0,0) = 0
0	1	f(0,1) = 1
1	0	f(1,0) = 1
1	1	f(1,1) = 0

13) 上記 12)の乗法標準形を AND、OR、NOT ゲートを用いて回路図を実現せよ（AND, OR, NOT の全てを用いる必要はない）。総トランジスタ数はいくつか？
14) 上記 12)の乗法標準形を NAND、NOR、NOT ゲートを用いて回路図を実現せよ（NAND, NOR, NOT の全てを用いる必要はない）。総トランジスタ数はいくつか？
15) 以下の真理値表で与えられる回路を NAND、NOR、NOT だけを用いて設計せよ（NAND, NOR, NOT の全てを用いる必要はない）。
（ヒント：この回路は加算器で、３つの入力の１の数を数えて、２桁の２進数（上位：C、下位：S）として出力する回路）
それぞれの出力Ｃと出力Ｓに関する論理式を加法標準形で求めて、回路図を作成すればよい。

２つの回路で同じ信号を共通に使用してもよい。

入力 A	入力 B	入力 C	出力 C	出力 S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

16) 上記 15)で設計した回路の総トランジスタ数はいくらか？

以上