

次世代高速ワイヤレス LAN システムオンチップの MAC 層の実装に関する検討

福嶺 秀策[†] 安里 博一[‡] 神山 一弘[†] 和田 知久[†]

[†] 琉球大学 工学部 情報工学科 〒903-0213 沖縄県西原町千原 1

[‡] 株式会社マグナデザインネット 〒901-0152 沖縄県那覇市小祿 1831

E-mail: [†] {shu, wada}@lsi.ie.u-ryukyu.ac.jp, [‡] {asato, kamiyama}@MagnaDesignNet.com

あらまし OFDM(Orthogonal Frequency Division Multiplexing)パケット無線伝送方式では、高速移動時には伝送チャネルパラメータの変動が大きく、データ転送時のエラー率の上昇が問題となっている。データ転送時のパケット長を短縮し、1パケット内の伝送路の変化を少なくすることで、エラー率の上昇を緩和できるが、余計なオーバーヘッドにより伝送速度の低下が発生する。パケットの生成は Medium Access Control (MAC) と呼ばれるソフトウェアにより実装され、パケット長を短縮するには MAC 層でデータを分割して送信する、所謂フラグメント処理を行う必要がある。

本論文では、PowerPC405 を MAC 層のターゲットプロセッサと想定し、データ送信時のフラグメント処理のソフトウェア負荷を調査し、移動通信時において実効スループット 100Mbps を超える次世代ワイヤレス LAN に必要なマイクロプロセッサ性能の予測を行う。

キーワード IEEE802.11a, MAC, eCos

MAC system performance evaluation for high speed mobile 802.11 based one chip WLAN-System

Shusaku FUKUMINE[†] Hirokazu ASATO[†]

Kazuhiro KAMIYAMA[‡] and Tomohisa WADA[†]

[†] Faculty of Engineering, Ryukyu University 1 Senbaru, Nishihara-cho, Okinawa, 903-0213 Japan

[‡] Magna Design Net, Inc, 1831 Oroku, Naha-shi, Okinawa, 901-0152 Japan

E-mail: [†] {shu, wada}@lsi.ie.u-ryukyu.ac.jp, [‡] {asato, kamiyama}@MagnaDesignNet.com

Abstract: We developed Media Access Control (MAC) software system for 802.11 based one chip WLAN System. The MAC software controls the packet length and data length. In order to increase the 802.11 WLANs mobile data transfer performance, the shorter packet length is required since the channel parameter migration will be minimized. However, this packet length control mechanism increases the task of MAC software. In this paper, we estimate required micro-processor performance for over 100Mbps WLAN system in both mobile and non-mobile environment.

Keyword IEEE802.11a, MAC, eCos

1. はじめに

近年、インターネットの爆発的な普及、それに伴うアプリケーションの多様化を背景に、高速・大容量のパケット通信の需要が急速に高まっている。

ワイヤレス LAN の MAC 層の規格である IEEE802.11 [1]-[2] では、メディアアクセス制御(MAC: Medium Access Control)として CSMA/CA(Carrier Sense Multiple Access with Collision Avoidance)による自律分散型のアクセス制御を行っている。MAC 層の規格である IEEE802.11

に対して PHY 層の規格である IEEE802.11a は OFDM 方式を用いて最大 54Mbps の伝送速度を実現している。しかし、MAC 等によるオーバーヘッドにより、スループットは 25Mbps 程度しか実現されていない。

現在、PHY 層と MAC 層それぞれでより高速化を目指し検討している規格に IEEE802.11n がある。IEEE802.11n は PHY 層で MIMO(Multiple Input Multiple Output)技術を取り入れることで PHY 層の伝送速度を大幅に向上させている。

また、OFDM 等のパケット通信では、移動通信のような伝送路変化環境下において受信誤り特性劣化の問題がある。このような問題の解決法として、PHY 層における伝送路推定処理を改善して性能向上を図る方式が検討されている[3]。本研究では、MAC 層だけで伝送路変化環境に対応する方法として、パケット長制御による手法の検討をおこなった。本提案手法ではソフトウェア処理とメディアアクセスでのオーバーヘッドが大きくなり、さらにスループットは低下してしまう。

我々は、RTOS である Embedded Cygnus Operating System(cCos)上で MAC ソフトウェア部を開発した。今回は、MAC ソフトウェア処理負荷に注目し、送信イベント発生から ACK を受信するまでを検証モデルとし、実効スループットのシミュレーションを行なった。

本稿では、PowerPC 405 をターゲットプロセッサとして、送信データ量と必要メモリ量、MAC ソフトウェアのフラグメント処理負荷を報告する。また、移動通信を含め、検証モデル上で伝送路環境が良好、または劣悪な場合それぞれにおける実効スループット 100Mbps-1Gbps を超えるシステム性能を予測する。

2. システム構成

WLAN のシステムは図 1 のように構成される。システムはソフトウェア部とハードウェア部で構成されており、PHY 層はハードウェアで MAC 層はソフトウェアとハードウェアを組み合わせで構成される。MAC ソフトウェアはシステムの管理等を行い、MAC ハードウェアは DMA(Direct Memory Access)によるデータの受け渡しやタイマを提供している。

今回は、MAC のソフトウェア部を開発した。RTOS は eCos2.0、ターゲットプロセッサは PowerPC405 を想定している。

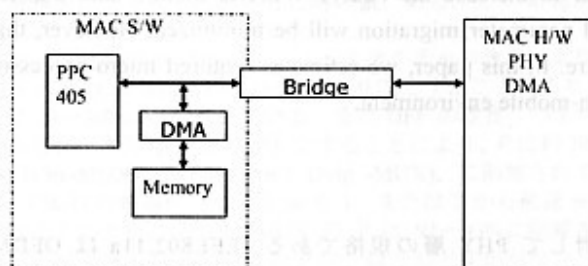


図 1 システム構成

2.1. MAC のソフトウェア部

今回開発した MAC ソフトウェア部は以下の 5 つのタスクをそれぞれスレッドで稼働させ、イベント発生時に各スレッド間で同期をとることで MAC ソフトウ

ェアを実現している。

- (1)MAC 制御タスク
- (2)同期タスク
- (3)認証管理タスク
- (4)送信タスク
- (5)受信タスク

MAC 制御タスクはシステムの管理を行うタスクである。上位層とのデータの受け渡しや、システム状態の管理を行っている。同期タスクは無線局間の同期やチャネルのスキューニング、ネットワークへの参入を行っている。ワイヤレス LAN では、各無線局が所持しているタイマを同値にするため、一定間隔で TSF という同期処理を行っている。各無線局のタイマ誤差が少ないと MAC 性能が向上する。認証管理タスクは MAC 層上で無線局を識別する認証管理を行っている。送信タスクは、上位層から渡されたデータである MSDU(MAC Service Data Unit)のデータ長、パケット長制御を行い、PHY 層のデータ単位である PSDU(Physical Service Data Unit)に変換する。このときに、MAC ヘッダの情報を更新、付加している。データ長、パケット長制御とは、無線 LAN で規定されている PSDU、伝送路に最適なパケット長へデータを分割するフラグメントを行うことである。受信タスクは、PHY 層で受信した PSDU を MSDU に変換する処理を行っている。必要があれば PSDU を統合するデフラグメントを行っている。送信、受信時それぞれは DMA によって外部とデータのやりとりを行っている。

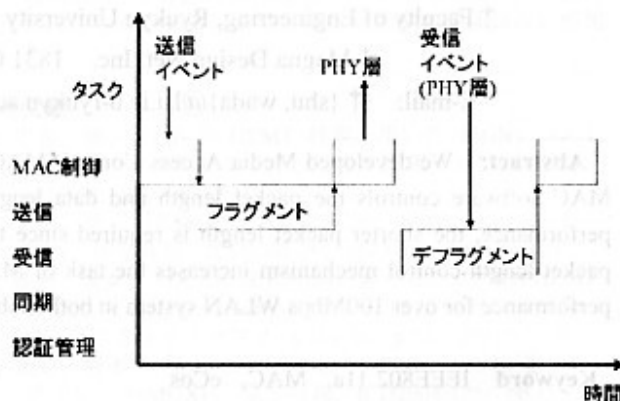


図 2 送信イベント発生時のタスクの流れ

図 2 は、送信イベント発生から、PHY 層へデータを渡す流れを示している。上位層から MSDU がメモリに入力されると RTOS が割り込み処理を行い、送信タスクへタスクが変わる。送信タスクはデータ長、パケット長制御を行い、MPDU を作成し、DMA(Direct Memory Access)によって送信用のメモリにデータを転送した

後、CRC 処理を MAC 層のハードウェア部で行い、PHY 層へとデータは受け渡される。MAC 層のソフトウェア部で行う処理は MPDU を作成し、DMA 処理を行うまでである。

3. 実験条件

前述した MAC ソフトウェア上で必要メモリ量とソフトウェア処理負荷を測定した。実効スループットを向上するために MAC 層に必要なことは、オーバーヘッドを極力少なくすることである。そこで、オーバーヘッドを少なくするフラグメント送信を行う際に必要なメモリ量、ソフトウェア処理時間を測定した。

3.1. 実験環境

今回は、PowerPC クロスコンパイラ環境を構築し、MAC ソフトウェアを eCos 上で実際に動作させた。以下に eCos 構築環境を示す。

表 1 PC スペック

CPU	Pentium(R) 4 2.60GHz
Memory	512MByte
OS	Redhat 7.3

3.2. 実験諸元

今回作成した MAC ソフトウェアは IEEE802.11a に対応している。最大 MSDU は Ethernet の最大パケット長と同じ 1500 Byte とする。今回のターゲットアーキテクチャは PowerPC の I/O デバイスがないアーキテクチャである PowerPC Architectural Simulator とした。組み込みシステムにおいて、リアルタイムクロックは μs 単位と速く、カーネルレベルでは実測値を測定することはできない。今回は、リアルタイムクロックを求める手法として、500Hz プロセッサ上でカウンタに対する割り込みクロックを 100Hz した場合のカウンタ数からクロック数を算出する方法をとった。

表 2 PC スペック

プロトコル	IEEE802.11a
最大 MSDU	1500Byte
RTOS	eCos2.0
ターゲットアーキテクチャ	PowerPC Architectural Simulator
クロック周波数	500Hz
クロック割り込み	100Hz

3.3. 送信パケット数と必要メモリプール量

MAC をソフトウェアで実装する場合、タスク間同

期を行う際のメッセージやパケット毎に付加する MAC ヘッダ分などのメモリ領域を確保しなければならない。eCos では、カーネルがタスクの要求に応じてメモリを提供するメモリプール管理機能がある。これは C 言語の malloc のようにプログラマがメモリを要求し、開放するといった機能である。MAC ソフトウェアにおいて、使用するデータは固定長データと可変長データがある。固定長データは MIB(Management Information Base)等のシステムの状態を保持するデータであり、可変長のデータにはタスク間で同期をとる際に使用するメッセージ等がある。可変長のデータで最もメモリを要求する処理はデータ送信時である。ここでは、送信パケット数と必要メモリプール量について述べる。

送信パケット数が増加すると必要メモリプール量が増加する。必要メモリプール量とパケット数の関係を図 3 に示す。

図 3 の送信データ量はフラグメント数と同じ意味である。送信データ量が増加すると、規格内のデータ長以内でパケットを生成しないと行けない。

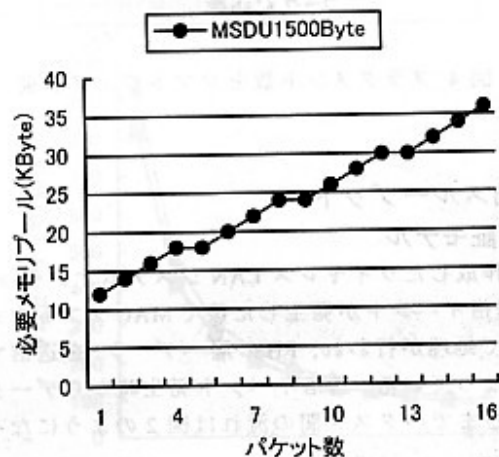


図 3 送信データ量と必要メモリ量

図 3 ではあるオフセット値から線形的に増大している。オフセット値は、MAC を稼働させるために必要なメモリ量であり、2KByte のデータを送信するためには 6KByte のメモリ量が必要となる。また、最大スループットを実現するために必要なメモリ量は、50KByte 弱である。

3.4. パケット生成数とソフトウェア処理負荷

データをフラグメントする場合のソフトウェア負荷について調査した。ここでは Ethernet の最大データ量である 1500Byte を最大 MSDU とした場合のデータ

のフラグメントとソフトウェア負荷について調査した。図4の横軸はフラグメント数を表し、縦軸はソフトウェア負荷であるクロック数を示している。ここで、クロック数は eCos カーネルのシステムコールで求めたクロック数である。

図4から、フラグメント数が増加するすなわち、データ送信量が増加すると MAC 処理に必要なプロセッサ負荷が増加することが示されている。

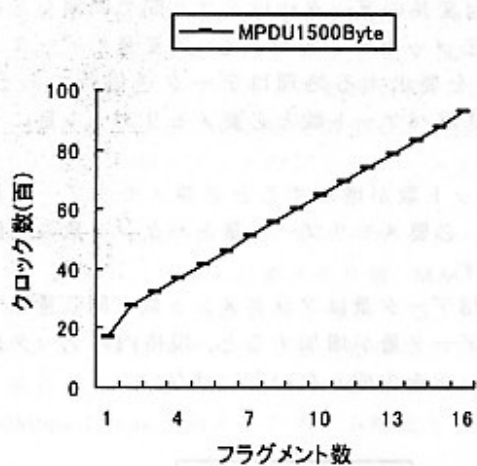


図4 フラグメント数とソフトウェア負荷

4. 実効スループット

4.1. 検証モデル

今回作成したワイヤレス LAN システムオンチップでは送信イベントが発生した後で MAC ソフトウェアによって処理が行われ、PHY 層へデータを送信する流れになっている。送信イベント発生時からデータを送信するまでのタスク間の流れは図2のようになっている。

ここでは、eCos 上で測定したソフトウェア処理時間をもとにソフトウェア処理時間と実効スループットの関係、時間内に処理するために必要なプロセッサ性能についてシミュレーションを行った。

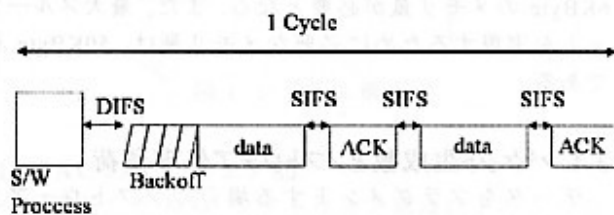


図5 検証モデルの送信1サイクル

4.2. モデル条件

送信イベント発生後、MAC ソフトウェア処理、DIFS、バックオフ制御といった MAC を行い、パケット送信、IFS、ACK の受信という流れが今回検証するモデルである。複数のパケットを送信する場合は、図5のように続けてデータを送信する。これを1サイクルとし、連続してデータを送信する場合は、送信イベント発生から行う。

検証モデルの MAC 規定を表3に示す。Slot time とは、Backoff 制御で使用するパラメータのことで、IEEE802.11a では $9\mu s$ /Slot time となっている。Backoff 制御はランダムな数字である Contention window と Slot time の積であるバックオフ時間を待機する制御である。ここでは、評価のために Contention window を 12 としたのでバックオフ時間は $108\mu s$ となる。DIFS と SIFS はそれぞれパケットの優先制御を行う待機時間であり、IEEE802.11a の規定から $32\mu s$ 、 $16\mu s$ とする。ワイヤレス LAN では、パケットの整合性を CRC チェックで行い、パケットが正常ならば ACK を返信するようになっている。ACK は固定長で IEEE802.11a では $24\mu s$ となっている。CRC チェックなどのハードウェアによる遅延時間はこの検証モデルにおいてで考えないとする。Backoff 制御と DIFS は最初のパケット送信時のみ行い、SIFS と ACK は送信するパケット数によって変化する。

表3 検証モデルの MAC 規定

Slot time	$9\mu s$
Contention window	12
DIFS	$32\mu s$
SIFS	$16\mu s$
ACK	$24\mu s$
PHY 層伝送速度, Bit/symbol	54Mbps, 216bit
	108Mbps, 432bit
	216Mbps, 864bit
	432Mbps, 1728bit
	864Mbps, 3456bit

4.3. パケット構成

IEEE802.11a のパケット構成は図6のようになっている。今回シミュレーションした実効スループットは MSDU を対象とするスループットである。IEEE802.11a では、OFDM 毎のデータ量は、PHY 層の伝送速度によ

ってことなる。

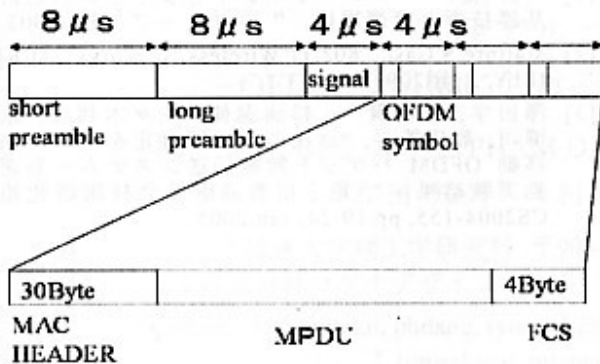


図 6 IEEE802.11a のパケット構成

4.4. シミュレーション結果

PHY 層で 5 つの伝送速度の実効スループットとの関係を図 7 に、ソフトウェア処理とプロセッサ性能の関係を図 8 それぞれに示す。高スループットを実現するためには、ソフトウェア処理を含めた MAC オーバヘッドを少なくする必要がある。ここで 54Mbps 以外の PHY 層の仕様は MIMO を想定している。

実効スループットで 100Mbps を超えるには PHY 層 216Mbps の伝送速度が必要で、プロセッサは 200MHz 程度必要である。また、実効スループット 200Mbps を超えるには PHY 層で 432Mbps 以上、400MHz の環境が必要となる。実効スループット 400Mbps を超えるには PHY 層 864Mbps、1GHz 弱のプロセッサが必要である。

5. 伝送路環境変化に対応した MAC

移動通信のように伝送路環境が激しく変化する場
合、IEEE802.11a ではチャネル推定に誤差が生じるため、受信特性劣化が発生する。MAC 層でパケット長を制御することで、この問題を緩和することができる。

5.1. シミュレーション諸元

ここでは、パケット長制御時のソフトウェア処理負荷を eCos 上で測定し、200MHz、400MHz プロセッサ上での実効スループットを測定した。パケット長を固定すると、MSDU が変化するため、ソフトウェア負荷も変化し、実効スループットも変化する。パケット長が短くなると MSDU が減少し、MAC オーバヘッドも大きくなるので実効スループットは低下する。表 4 にシミュレーション諸元を示す。

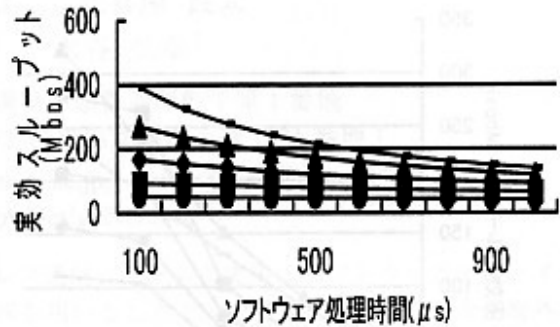
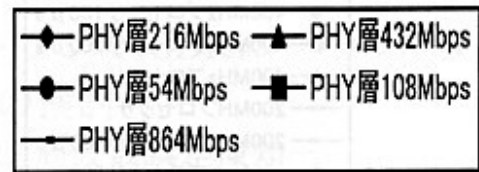


図 7 検証モデルの実効スループット

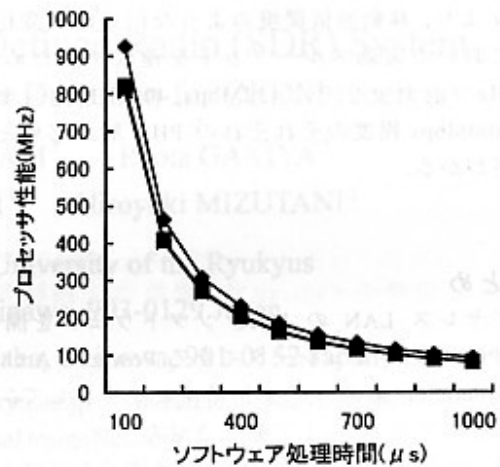
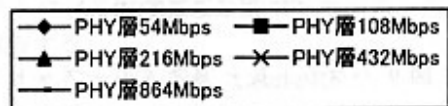


図 8 ソフトウェア処理とプロセッサ性能

表 4 パケット長固定シミュレーション諸元

プロセッサ	200MHz, 400MHz
パケット長	100 μs, 200 μs, 制限無し
PHY 層伝送速度	54Mbps, 108Mbps, 216Mbps, 432Mbps, 864Mbps

5.2. シミュレーション結果

- [1] 河内健, “ブロードバンドとワイヤレス通信の基礎技術と標準規格,” トリケップス社, 2003.
- [2] Matthre S.Gast, “802.11 Wireless Networks”, O`REILLY, Aplil2002.
- [3] 澤田学, 小枝賢一, 杉浦泰伸, 佐々木邦彦, 原田博司, 船田隆平, “逐次型伝搬路推定を用いた高速移動 OFDM パケット無線伝送システム～高速移動実験結果～”, 電子情報通信学会技術研究報告 CS2004-155, pp.19-24, Jan.2005

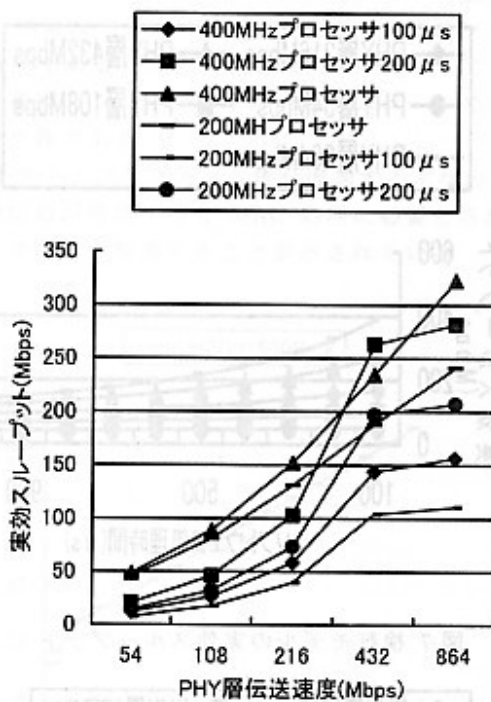


図9 パケット長と実効スループット

図9より、移动通信環境のような伝送路が変化する場合において実効スループットを達成するためには、200MHz プロセッサでは 432Mbps, 400MHz プロセッサだと 300Mbps 程度のそれぞれの PHY 層が必要となることがわかる。

6. まとめ

ワイヤレス LAN の MAC ソフトウェアを開発し、PowerPC405 のシミュレータである PowerPC Architectural simulator をターゲットプロセッサとして、MAC ソフトウェアを eCos 上で動作させた。

今回は、ワイヤレス LAN パケット通信でのソフトウェア負荷を測定し、目標実効スループットを達成するためのプロセッサ性能を予測した。伝送路があまり変化しない準静止環境では、実効スループット 100Mbps を達成するためには 216Mbps の PHY ハードウェアと 200 MHz のプロセッサが、200Mbps を達成するには 432Mbps の PHY ハードウェアと 400MHz のプロセッサがそれぞれ必要であるということが確認できた。両方の場合に必要メモリは 40KByte である。

また、伝送路変化の激しい環境下において 200MHz, 400MHz のプロセッサを使用すると PHY 層 432Mbps 以上、両プロセッサクロック数で実効スループット 100Mbps 以上を達成できることも確認できた。