

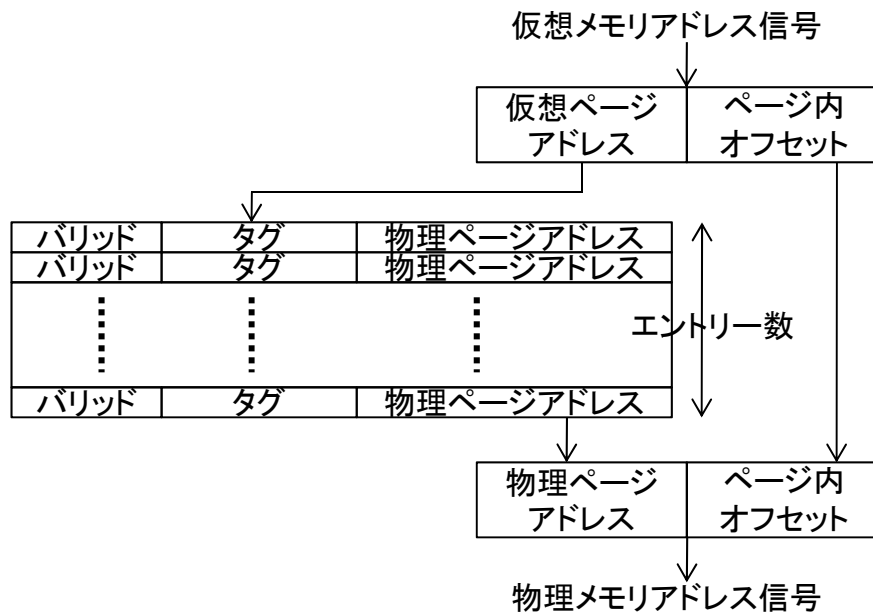
H23年度 計算機アーキテクチャ 期末試験 H24年2月10日
 問題は4問、解答は解答用紙に記入すること。
 教科書・ノート持ち込み可能、PC持ち込み不可。

1) (4点×8=32点)

以下の仮想アドレスから物理アドレスを生成するブロック図を参考に、下記文章の穴埋めを行え。

仮想記憶方式を用いるコンピュータシステムで、36ビットの仮想アドレス空間を用いてプログラムが実行されている。しかし、実際のハードウェアシステムでは設計の関係で、32ビットの物理アドレスのメモリ空間をサポートしていると仮定する。

ページサイズを1Mバイトとすると、ページ内オフセットは(①)ビットであり、仮想ページアドレスは(②)ビット、物理アドレスページは(③)ビットである。このアドレス変換を行う回路ブロックで、バリッドビットは各エントリあたり1ビットで、エントリ数は1024とすると、以下の図のメモリ領域の総容量は(④)ビットである。このようなアドレス変換の専用のキャッシュ機能は(⑤)と呼ばれる。仮想ページアドレスがタグと一致しないことは(⑥)と呼ばれ、変換された物理ページが主記憶上に存在しないことは(⑦)と呼ばれ、このような(⑧)が発生すると、通常のパイプライン動作は中断され、オペレーティングシステムを呼び出すことになる。



2) (6点×3=18点)

全命令でロード・ストア命令の占める割合が20%とし、キャッシュミス率とミスペナルティが以下の時、事例1のキャッシュミス率0の場合と比較して、事例2と3の実行時間の相対比はいくらか？ただし、命令フェッチでのキャッシュミスは無視できるとする。必ず解答欄には、答を導出した式を記入すること。

また、事例1の仮想のコンピュータのクロック周波数が1GHzであるとする、事例2のコンピュータのクロック周波数③をいくらにすると、事例1のコンピュータと等価な性能を実現できるか？

事例	ミス率	ミスペナルティ	実行時間相対値
事例1	0	-	1.0
事例2	0.15	20	①
事例3	0.25	10	②

3) (25点) 仮想メモリアドレス空間が40ビット、物理メモリアドレス空間が36ビットのコンピュータに対して、以下の図で示す直列型物理アドレスキャッシュと並列型物理アドレスキャッシュを設計して性能を比較する。以下の問いに答えよ。

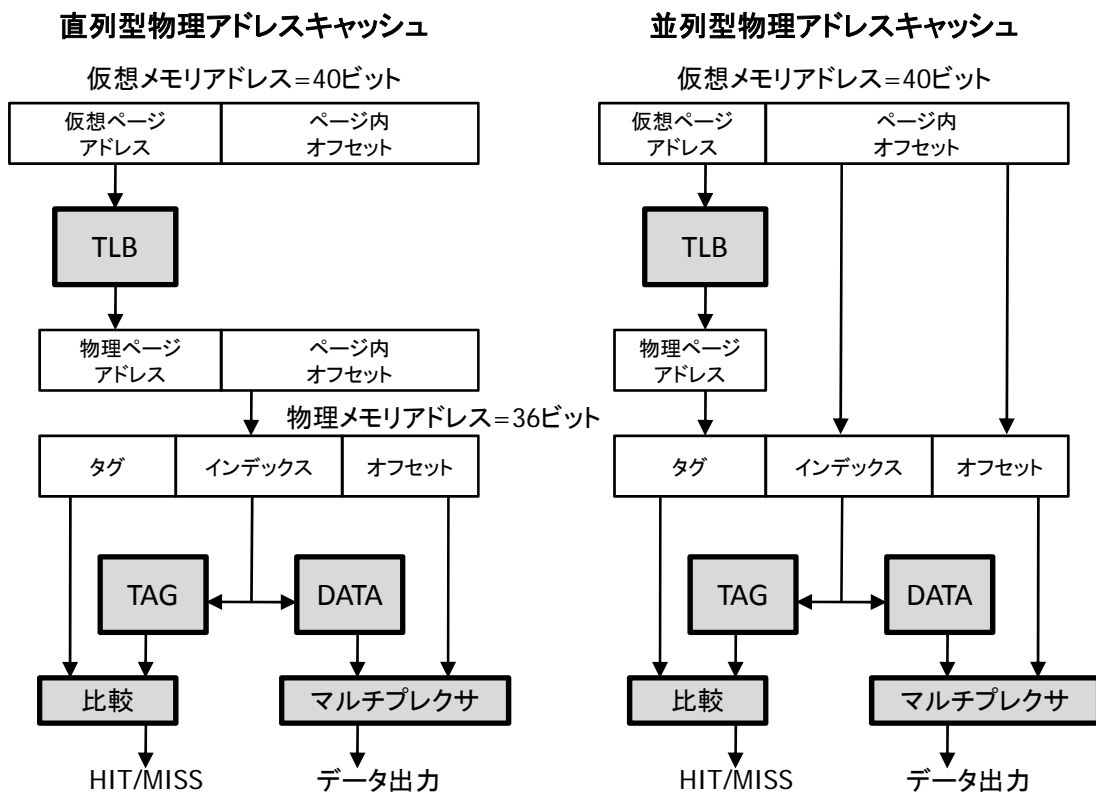
4-1) (9点) キャッシュはデータ部の容量が2MByteのダイレクトマップ型キャッシュで、ブロック(ライン)サイズは128Byteとすると、タグ、インデックス、オフセットのビット数はいくらか？

4-2) (4点) このキャッシュメモリのTAG部のメモリ容量はいくらか？ ただし、各キャッシュブロック(ライン)に1ビットのVALIDビットがあるとすると。

4-3) (6点) キャッシュを構成する回路ブロックが以下の遅延時間をもつとして、直列型物理アドレスキャッシュと並列型物理アドレスキャッシュの最悪の動作速度はいくらか？最悪とは、仮想メモリアドレスが与えられてから、HIT/MISSが決まる時間とデータ出力する時間の遅い方とする。

TLB=6ns, TAGメモリ=10ns, 比較回路=2ns, DATAメモリ=12ns, マルチプレクサ=2ns, その他の部分の遅延は無視する。

4-4) (6点) 上記キャッシュを用いて最小のページサイズをもつ並列物理アドレスキャッシュを構成するときのページサイズはいくらか？また、その時の仮想ページアドレスは何ビットか？



4) (5点X5=25点) 以下の各問いに答えよ。

4-1) あるFORループ命令の実行中に、計算結果のオーバフローが発生した。ある学生のAさんは、「オーバフローしたので、その変数は最大値となり、その値を用いてFORループが最後まで実行され、FORループ終了後に異なる結果が得られる」と考えたが、この考えは正しいか？間違っている場合、どのような動作をすべきか説明せよ。

4-2) ソフトウェアパイプラインという手法について、特徴を説明せよ。

4-3) 1サイクルあたりの命令実行数を2とかの並列実行を実現する方式として、VLIWとスーパー scaler方式があるが、過去にコンパイルされた実行コードを使用する観点と、ハードウェア設計の観点から、2方式の比較を行え。

4-4) 仮想記憶方式のメリットを述べよ。

4-5) ハードディスクのマニュアルを読むと平均シーク時間という言葉があった。平均シーク時間とは何に要する時間か？