

H26年度 計算機アーキテクチャ 中間試験 H26年12月12日

問題は4問、解答は解答用紙に記入すること。教科書要、ノート持ち込み可、PC持ち込み不可。

1) (30点) 教科書のマシン用に対応したアセンブラーコードと、そのコンパイル前のCコードを以下に示す。ここで、g, h, i, j はそれぞれ $\$s1$, $\$s2$, $\$s3$, $\$s4$ なるレジスタに対応し、配列Aの先頭アドレス $\&A[0]$ がレジスタ $\$s5$ にあると仮定する。すべての変数は32ビットである。以下の問いの答えよ。参考までに一部の命令の説明も以下に示す。

区分	命令	アセンブラ例	例の意味	備考
算術演算	add	ADD R1,R2,R3	$R1 \leftarrow R2 + R3$	加算
	subtract	SUB R1,R2,R3	$R1 \leftarrow R2 - R3$	減算
論理演算	and	AND R1,R2,R3	$R1 \leftarrow R2 \text{ and } R3$	各ビットごとにAND
	or	OR R1,R2,R3	$R1 \leftarrow R2 \text{ or } R3$	各ビットごとにOR
データ転送	load word	LW R1, 100(R2)	$R1 \leftarrow \text{メモリ}[R2+100]$	主記憶からレジスタへの転送
	store word	SW R1, 100(R2)	$\text{メモリ}[R2+100] \leftarrow R1$	レジスタから主記憶への転送
条件分岐	branch on not equal	BNE R1,R2,12	if ($R1 \neq R2$) go to PC+4+12	等しくない時にPC相対分岐
	set on less than	SLT R1,R2,R3	if ($R2 < R3$) $R1 \leftarrow 1$ else $R1 \leftarrow 0$	$R2 < R3$ の時に、 $R1=1$, さもなければ $R1=0$
無条件ジャンプ	jump	J 2500	Jump to 2500番地	絶対アドレスジャンプ

[アセンブラコード]

[Cコード]

```
Loop:  g = g + A[i];
      i = i + j ;
      if ( i != h ) goto Loop;
```

```
Loop:  add $t1, $s3, $s3    --①
      add $t1, $t1, $t1    --②
      add $t1, $t1, $s5    --③
      lw  $t0, 0($t1)      --④
      add $s1, $s1, $t0    --⑤
      add $s3, $s3, $s4    --⑥
      bne $s3, $s2, Loop  --⑦
```

1-1) アセンブラーコード①、②にてレジスター $\$t1$ を計算しているが、この値は何を意味し、なぜこのような計算が必要か説明せよ。(5点)

1-2) アセンブラーコード③の実行後の $\$t1$ は何を示すか説明せよ。(5点)

1-3) アセンブラーコード④の $0(\$t1)$ は $\$t1$ の値+0でメモリアドレスを計算していますが、このようなアドレッシング方式の名称は何か。(5点)

1-4) 教科書4.1.2に示される4段パイプライン(Fステージ、Dステージ、Eステージ、Wステージ)にて上記アセンブラーコードを実行する。構造ハザードは発生せず、データハザードとコントロールハザードが発生する(教科書4.2.4、4.2.5参考)として、パイプライン動作図を作成せよ。ただし、⑦のbneでの分岐予測なしで、1回目の実行でのTAKENとなり、2回目でNOT TAKENとする。動作図を書くときに、①から⑦の番号を示して、どの命令かわかるようにすること。(10点)

1-5) 1-4)で、教科書図4.14に示される2ビット予測器を用いたとする。2ビット予測器の初期値は"10"であると仮定すると、何サイクルの短縮になるか。また、2ビット予測器の値の変化を示せ。(5点)

2) (5点x4=20点) あるプロセッサの実行を、5段パイプライン(IFステージ、IDステージ、EXステージ、MEMステージ、WBステージ)に分割した場合のそれぞれのステージの実行時間が15ns, 15ns, 20ns, 25ns, 15nsであったとする。

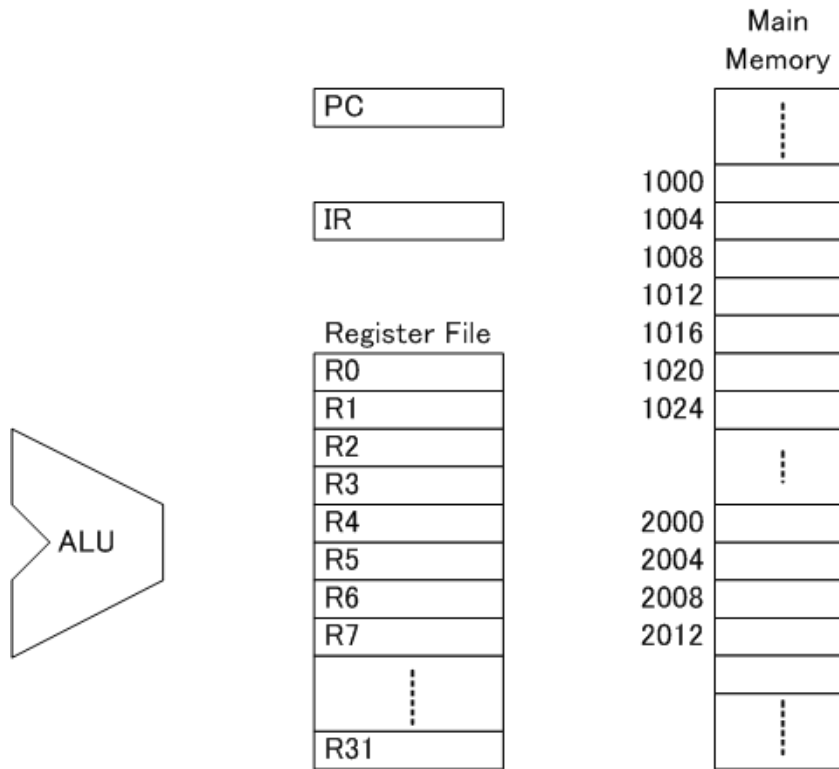
2-1) ノンパイプラインマシンでは1命令実行するのに何nsの時間がかかるか。

2-2) このノンパイプラインマシンの性能をMIPSであらわすといくらか。

2-3) パイプラインマシンでは1クロックサイクルで1つのステージの処理を実行し、5サイクルでひとつの命令の処理完了をする。パイプラインマシンの最小クロックサイクル時間はいくらか。ただし、クロック信号やパイプラインレジスタ等の遅延は無視できず、最小クロックサイクル時間は最も時間のかかるステージの処理時間より2ns大きくなるとする。

2-4) 分岐命令などでパイプラインの動作が乱れないとすると、このパイプラインマシンの性能をMIPSであらわすといくらか。

3) (10点×2=20点) 問1の7行のアセンブラーコードがMain Memoryの1000番地から1027番地に記憶されていたとする。ループ実行1回目のアセンブラーコード④LW命令実行時と、⑦BNE命令実行時のデータの流れ等を矢印で、メモリやレジスタファイル内の数値や内容をできる範囲で記入せよ。ただし、\$s1, \$s2, \$s3, \$s4はそれぞれR1, R2, R3, R4に対応し、\$t0, \$t1はR6, R7に対応し、配列Aの先頭アドレスは2000番地で、変数iの初期値は2(0でないので注意せよ)と仮定せよ。



4) (5点×6=30点) 以下の各問いに答えよ。

4-1) 教科書の図3.3を参考にして、④LW命令のアセンブラーコードを32ビットの2進数で表現せよ。実際のレジスタ番号は問3)に従うものとする。ただし、各フィールドを分割して見やすく示せ。(不明な部分は不明でもよい)

4-2) 問1)のアセンブラーコードが、問3)のように主記憶に格納されている場合、アセンブラーコード⑦の “bne \$s3, \$s2, Loop”のLoopに入る実際の数値はいくらか?

4-3) 半導体メモリSRAM, DRAMとは何か。またどのような特徴の差があるか3点の特徴を比較せよ。

4-4) サブルーチンの中で宣言される変数は、メインメモリ内でどこに確保されるか。また、そのサブルーチンの実行終了後にその変数は利用可能か説明せよ。

4-5) フォワーディングという手法の効果と内容を説明せよ。

4-6) ADD命令フォーマットはRタイプ、ADDI命令フォーマットはIタイプであるが、なぜタイプが異なるのか説明せよ。

学籍番号: _____

名前: _____;

1-1)

1-2)

1-3)

1-4)

ここに命令右の○付き番号を示せ!



	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	
1	①	F	D	E	W																																				
2																																									
3																																									
4																																									
5																																									
6																																									
7																																									
8																																									
9																																									
10																																									
11																																									
12																																									
13																																									
14																																									
15																																									
16																																									
17																																									
18																																									
19																																									
20																																									

1-5)

2-1)

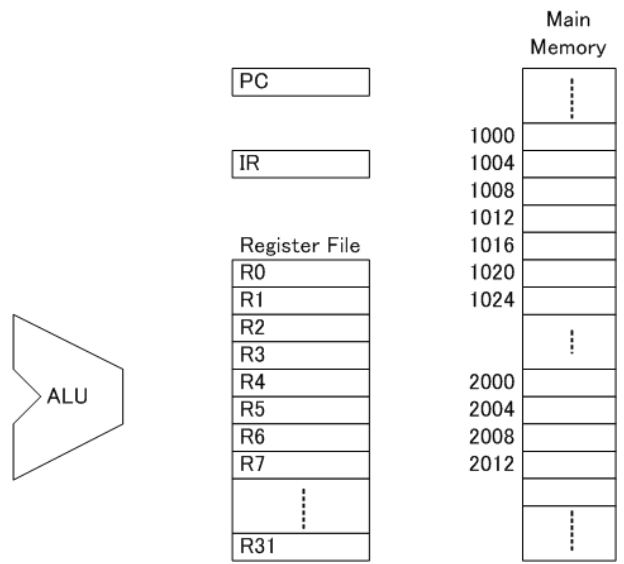
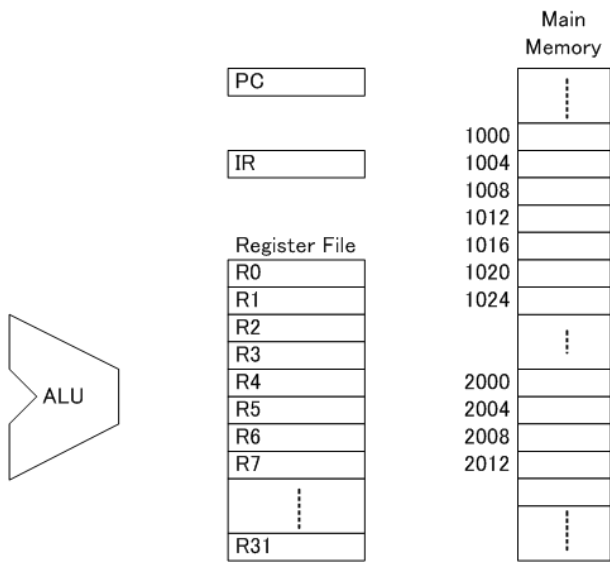
2-2)

2-3)

2-4)

3) lw \$t0, 0(\$t1) --④

bne \$s3, \$s2, Loop --⑦



4-1)

4-2)

4-3)

4-4)

4-5)

4-6)