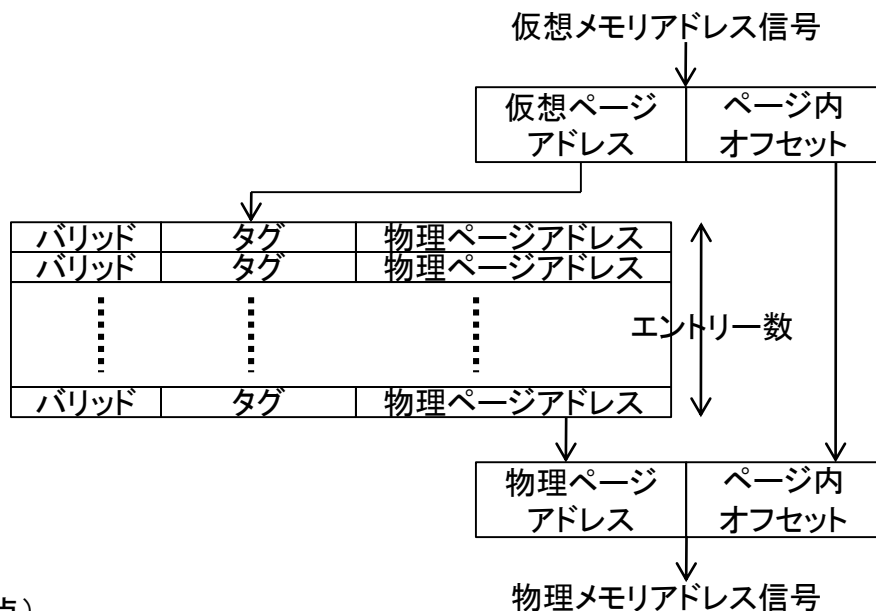


問題は5問、解答は解答用紙に記入すること。
教科書・ノート持ち込み可能、PC持ち込み不可。

1) (3点X6=18点) 以下の仮想アドレスから物理アドレスを生成するブロック図を参考に、下記文章の穴埋めを行え。

仮想記憶方式を用いるコンピュータシステムで、36ビットの仮想アドレス空間を用いてプログラムが実行されている。しかし、実際のハードウェアシステムでは設計の関係で、30ビットの物理アドレスのメモリ空間をサポートしていると仮定する。

ページサイズを4Mバイトとすると、ページ内オフセットは(①)ビットであり、仮想ページアドレスは(②)ビット、物理ページアドレスは(③)ビットである。このアドレス変換を行う回路ブロックで、バリッドビットは各エントリーあたり1ビットで、エントリー数は128とすると、以下の図のメモリ領域の総容量は(④)ビットである。このようなアドレス変換の専用のキャッシュ機能は(⑤)と呼ばれる。仮想ページアドレスがタグと一致しないと、大きなオーバーヘッド(遅延)が必要となるので、エントリーの場所によらず最もフレキシブルに変換テーブルを記憶できる(⑥)と呼ばれる方式になっている場合が多い。



2) (6点X2=12点)

全命令でロード・ストア命令の占める割合が25%とし、キャッシュミス率とミスペナルティが以下の時、事例1のキャッシュミス率0の場合と比較して、事例2と3の実行時間の相対比はいくらか？ただし、命令フェッチでのキャッシュミスは無視できるとする。

事例	ミス率	ミスペナルティ	実行時間相対値
事例1	0	-	1.0
事例2	0.10	15	①
事例3	0.15	10	②

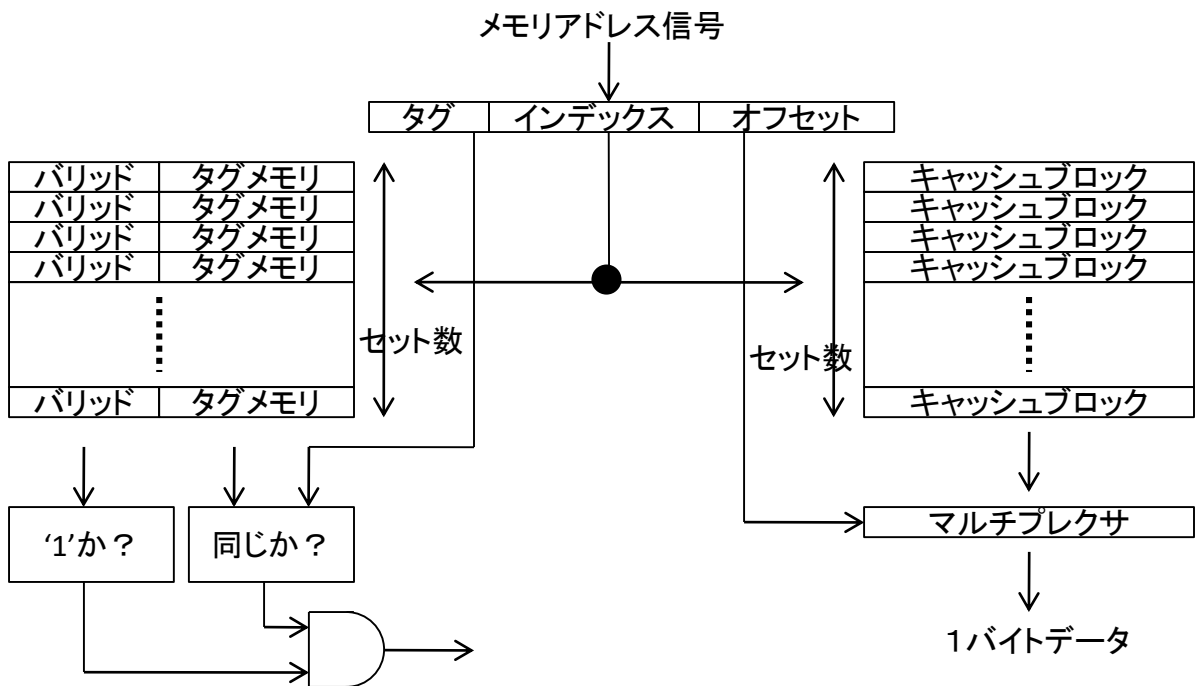
3) (10点) 以下の各問いに答えよ。

命令レベルでの並列処理を実行するためには、1クロックサイクルで1命令を超える複数の命令の実行が必要である。プログラムコードを機械語にコンパイルするとき、命令間のデータ依存性を減らすことで、性能を向上する方法がある。この方法について、①一例を挙げ、②その概要を説明せよ。

4) (3点X10=30点) 以下のキャッシュメモリの読み出し動作を示すブロック図を参考に、下記文章の穴埋めを行え。

以下はデータ容量が1Mバイトの(①)型キャッシュメモリの読み出し動作を示している。キャッシュブロックのサイズは128バイトであるので、キャッシュブロックの数すなわちセット数は(②)となる。これより、メモリアドレスの内のオフセット部は(③)ビットで、インデックス部は(④)ビットとなる。入力であるメモリアドレス信号のビット幅を30ビットとすると、メモリアドレスの内のタグ部は(⑤)ビットである。タグメモリの各セットには(⑤)ビットのタグ領域と1ビットのバリッド領域があり、図左のタグメモリの総ビット数は(⑥)となる。

キャッシュブロックに正しいメモリ領域の一部がコピーされていない場合に、バリッドビットは(⑦)となり、そのキャッシュブロックが未使用であることを示す。インデックスビットにより選択されたひとつのセットのデータとタグはキャッシュメモリから読みだされ、データに関しては(⑧)回路により所望のデータが選択される。また、タグ部では読みだされたタグデータが、メモリアドレスのタグ部と比較し、一致し、同時にバリッドビットが(⑨)であれば、(⑩)という状態となり、上記所望のデータは必要とするメモリアドレスデータとなる。



- 5) (5点X6=30点) 以下の各問いに答えよ。
- 5-1) DMAとはなにか、DMAが有効な理由を簡単に説明せよ。
 - 5-2) メモリマップドI/Oという技術用語を説明せよ。
 - 5-3) 周辺装置とのデータ転送で用いられる、ポーリング方式と割込み方式のメリット・デメリットを比較せよ。
 - 5-4) ページフォールトが発生すると、OSに関係する事象が発生する。その事象の概要を述べよ。
 - 5-5) TLBミスとは何か説明せよ。
 - 5-6) 例外処理とは何かを説明せよ。

学籍番号: _____ 名前: _____;

1-① (_____)

1-② (_____)

1-③ (_____)

1-④ (_____)

1-⑤ (_____)

1-⑥ (_____)

2-① (_____)

2-② (_____)

3)

4-① (_____)

4-② (_____)

4-③ (_____)

4-④ (_____)

4-⑤ (_____)

4-⑥ (_____)

4-⑦ (_____)

4-⑧ (_____)

4-⑨ (_____)

4-⑩ (_____)

5-1)

5-2)

5-3)

5-4)

5-5)

5-6)