

問題は4問、解答は解答用紙に記入すること。
教科書・ノート持ち込み可能、PC持ち込み不可。

1) (6点×4=24点) 以下のCプログラムA, アセンブリプログラムB, Cに関する以下の問に答えよ。
参考までに一部の命令の説明も以下に示す。教科書とは同じでないので、注意せよ。

区分	命令	アセンブラ例	例の意味	備考
算術演算	add	ADD R1,R2,R3	R1 <= R2 + R3	加算
	subtract	SUB R1,R2,R3	R1 <= R2 - R3	減算
論理演算	and	AND R1,R2,R3	R1 <= R2 and R3	各ビットごとにAND
	or	OR R1,R2,R3	R1 <= R2 or R3	各ビットごとにOR
データ転送	load word	LW R1, 100(R2)	R1 <= メモリ[R2+100]	主記憶からレジスタへの転送
	store word	SW R1, 100(R2)	メモリ[R2+100] <= R1	レジスタから主記憶への転送
条件分岐	branch on less than	BLT R1,R2,12	if (R1 < R2) go to PC+4+12 else go to PC+4	R1<R2の時にPC相対分岐
	set on less than	SLT R1,R2,R3	if (R2<R3) R1<=1 else R1<=0	R2<R3の時に、R1=1, さもなければR1=0
無条件ジャンプ	jump	J 2500	Jump to 2500番地	絶対アドレスジャンプ

1-1) CプログラムAをコンパイルして、アセンブリプログラムBが得られた。ここでr3はa[i]のアドレス番地を入れるレジスタである。ループの後半で”addi r3, r3, 4”という命令があるが、なぜ数値4をr3に加算しているのか？

1-2) アセンブリプログラムBをCのように変更することで、“blt”命令がTAKENする回数が増える。何回から何回に変化するか？(TAKENする回数のみ数えよ)

1-3) アセンブリプログラムBの“blt r1, r2, ForLoop”命令のオペランドのForLoopの値は何か？ また、アセンブリプログラムCではオペランドForLoopの値は何か？

1-4) プログラムBでは、のべ何命令が実行されるか？また、プログラムCではどうか？

```
// CプログラムA
for (i=0 ; i < 200 ; i++) a[i] = a[i]+5;
```

```
// アセンブリプログラムB
addi r1, r0, 0
addi r2, r0, 200
ForLoop: lw r4, 0(r3)
addi r4, 5, r4
sw r4, 0(r3)
addi r1, r1, 1
addi r3, r3, 4
blt r1, r2, ForLoop
```

```
// アセンブリプログラムC
addi r1, r0, 0
addi r2, r0, 200
ForLoop: lw r4, 0(r3)
lw r5, 4(r3)
lw r6, 8(r3)
lw r7, 12(r3)
addi r4, 5, r4
addi r5, 5, r5
addi r6, 5, r6
addi r7, 5, r7
sw r4, 0(r3)
sw r5, 4(r3)
sw r6, 8(r3)
sw r7, 12(r3)
addi r1, r1, 4
addi r3, r3, 16
blt r1, r2, ForLoop
```

2) (8点×2=16点) 以下の各問いに答えよ。

2-1) あるコンピュータが32ビットの仮想アドレス空間をもち、ページサイズが8キロバイトであったとする。ここで、ページテーブル教科書図5.10と同様に各エントリに有効ビット1ビット、書き込み制御1ビット、そして物理ページアドレスをもつとき、①ページテーブルのエントリ数はいくらか？また、物理アドレスが30ビットで与えられるときに、②ページテーブルの大きさを求めよ。

2-2) プログラム実行中に、ページテーブルが引かれ、その有効ビットが‘0’であった。すなわち、必要なページがメインメモリに入っていない。①このような状態をなんと呼ぶか？このような場合、実行中のプログラムが中断し、OSのお世話になるが、②この実行中断を起こすメカニズムをなんと呼ぶか？③その時OSが行う処理とはどんな処理か？

3) (30点) 仮想メモリアドレス空間が40ビット、物理メモリアドレス空間が36ビットのコンピュータに対して、以下の図で示す直列型物理アドレスキャッシュと並列型物理アドレスキャッシュを設計して性能を比較する。以下の問いに答えよ。

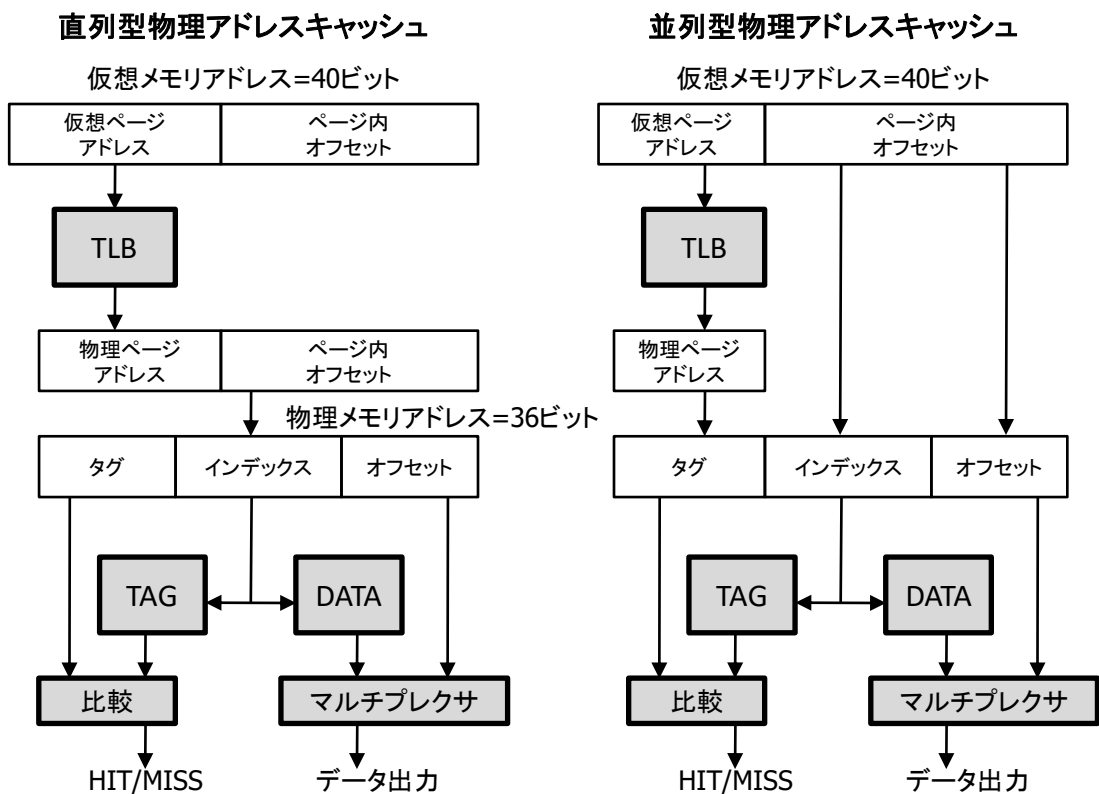
3-1) (12点) キャッシュはデータ部の容量が4MByteのダイレクトマップ型キャッシュで、ブロック(ライン)サイズは512Byteとすると、タグ、インデックス、オフセットのビット数はいくらか？

3-2) (4点) このキャッシュメモリのTAG部のメモリ容量はいくらか？ ただし、各キャッシュブロック(ライン)に1ビットのVALIDビットがあるとする。

3-3) (6点) キャッシュを構成する回路ブロックが以下の遅延時間をもつとして、直列型物理アドレスキャッシュと並列型物理アドレスキャッシュの最悪の動作速度はいくらか？最悪とは、仮想メモリアドレスが与えられてから、HIT/MISSが決まる時間とデータ出力する時間の遅い方とする。

TLB=7ns, TAGメモリ=11ns, 比較回路=2ns, DATAメモリ=13ns, マルチプレクサ=2ns, その他の部分の遅延は無視する。

3-4) (8点) 上記キャッシュを用いて最小のページサイズをもつ並列物理アドレスキャッシュを構成するときのページサイズはいくらか？また、その時の仮想ページアドレスは何ビットか？



4) (5点×6=30点) 以下の各問いに答えよ。

4-1) キャッシュメモリが読み出し時にMISSすると、主記憶からキャッシュにデータのコピーが行われるが、その待ち時間を何と呼ぶか？

4-2) ハードディスクのマニュアルを読むと平均シーク時間という言葉があった。平均シーク時間とは何に要する時間か？

4-3) 周辺装置とのデータ転送で用いられる、ポーリング方式のデメリットとは何か？

4-4) 命令実行中にOSが行うプリントのようなサービスを実行したい。どのようにして、ユーザーのプログラムは、OSだけが実行できる命令を実行可能なプロセッサの特権モードに入ることが可能か？

4-5) 仮想記憶方式のメリットを2つ述べよ。

4-6) 1サイクルあたりの命令実行数を2とかの並列実行を実現する方式として、VLIWとスーパースケラー方式があるが、過去にコンパイルされた実行コードを使用する観点と、ハードウェア設計の観点から、2方式の比較を行え。

学籍番号: _____ 名前: _____;

1-1)

1-2)

1-3)

1-4)

2-1

2-2)

3-1)

3-2)

3-3)

3-4)

4-1)

4-2)

4-3)

4-4)

4-5)

4-6)