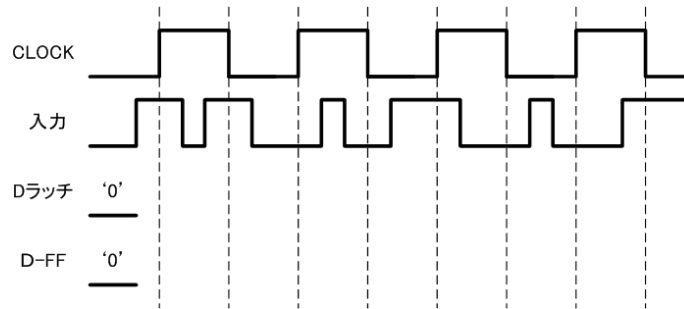
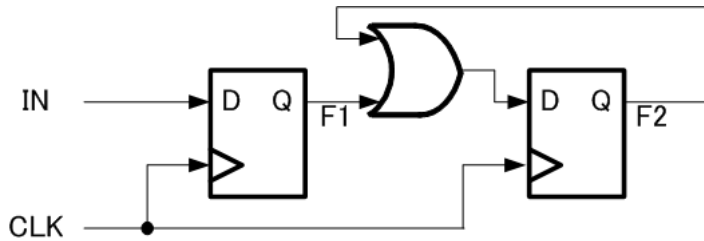


解答用紙のみ回収、解答は解答用紙へ！

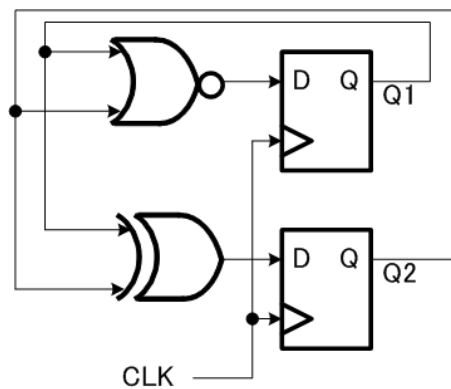
1. 以下の波形をDラッチとDフリップフロップ入力した時の出力波形を完成させよ。但し、DラッチとDフリップフロップの初期値は‘0’とする。(10点)



2. 以下の順序回路の状態遷移図を完成させよ。(10点)



3. 以下の順序回路の動作波形図を完成させよ。但し、Q1、Q2の初期値を‘1’とする。(10点)

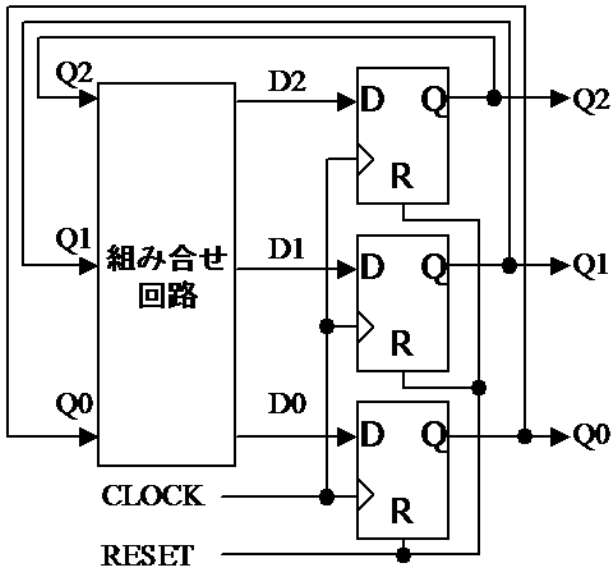


4. 右の真理値表で示される2入力A、B、2出力X、Yが与えられた。

- ① 単純化された加法標準形のブール式を示せ。(8点)
- ② 上記ブール式をNOTとNANDだけを用いて、組み合わせ回路を実現せよ。(7点)
- ③ その組み合わせ回路のトランジスタ数はいくつ？(5点)

入力		出力	
A	B	X	Y
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	1

5. RESET付D-FFを用い以下の手順にしたがって、整数値で示して0→7→6→2→5→4→0→7→6...を繰り返すカウンタを設計せよ。(9点+9点+10点+7点=35点)
- ① Q2をMSB、Q0をLSBとして、以下のような回路構成にする。組み合わせ回路のカルノー図を作成し、簡単化を行え(適切に○で囲め!)。但し、DON'T CAREは'X'で示せ。
- ② 簡単化された加法標準形のブール式を示せ。
- ③ ②の結果より、NOTとNANDだけを用いて、組み合わせ回路を実現せよ!
- ④ その組み合わせのトランジスタ数はいくつか?

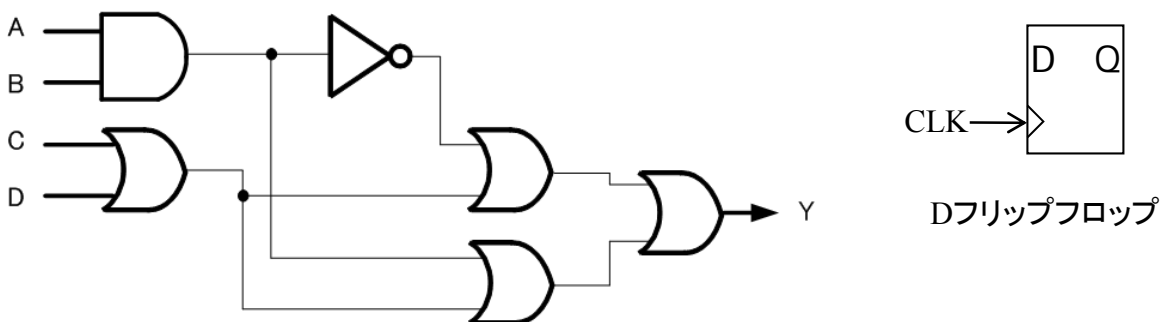


Q2	Q1	Q0	D2	D1	D0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

6. 以下の回路図は4入力A, B, C, DよりYを計算する組み合わせ回路である。NOTゲート、ANDゲート、ORゲートのそれぞれの遅延時間は1ns, 2ns, 3nsであるとする。

(1) 組み合わせ回路の入力から出力までもっとも変化の遅い遅延パスを信号が伝搬した場合の遅延時間はいくらか。(5点)

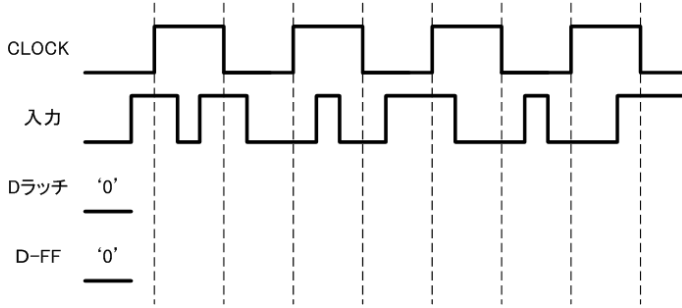
(2) この回路にパイプラインレジスタを挿入して、3段のステージに分割する。各ステージの最大の遅延時間を最小になるように、Dフリップフロップを挿入した回路図を作成せよ。部分点も加算するので、白紙ではなく回路を書くこと。既存のゲートの種類の変更はしない。(10点)



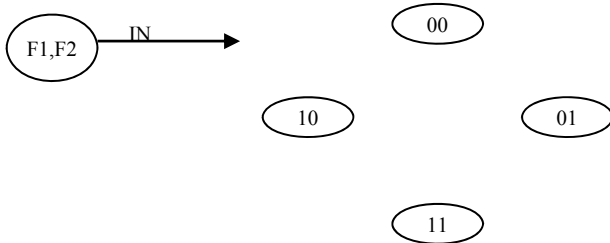
学籍番号: \_\_\_\_\_ 名前: \_\_\_\_\_ ;

100

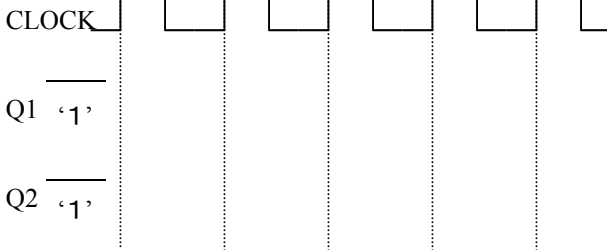
1. (10点)



2. (10点)



3. (10点)



4. (20点)

①(8) X= \_\_\_\_\_ ;

Y= \_\_\_\_\_ ;

②(7)

5. (35点)

(i) (9)

	Q1, Q0			
D2	00	01	11	10
Q2	0			
	1			

	Q1, Q0			
D1	00	01	11	10
Q2	0			
	1			

	Q1, Q0			
D0	00	01	11	10
Q2	0			
	1			

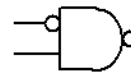
(ii) (9)

D2 = \_\_\_\_\_ ;

D1 = \_\_\_\_\_ ;

D0 = \_\_\_\_\_ ;

(iii) (10)



のような入力に丸(**NOT**)のあるシンボルを使わないこと。

(iv) (7)

答え: \_\_\_\_\_ トランジスタ

6. (15点)

①(5) 答え: \_\_\_\_\_ ;

②(10)