

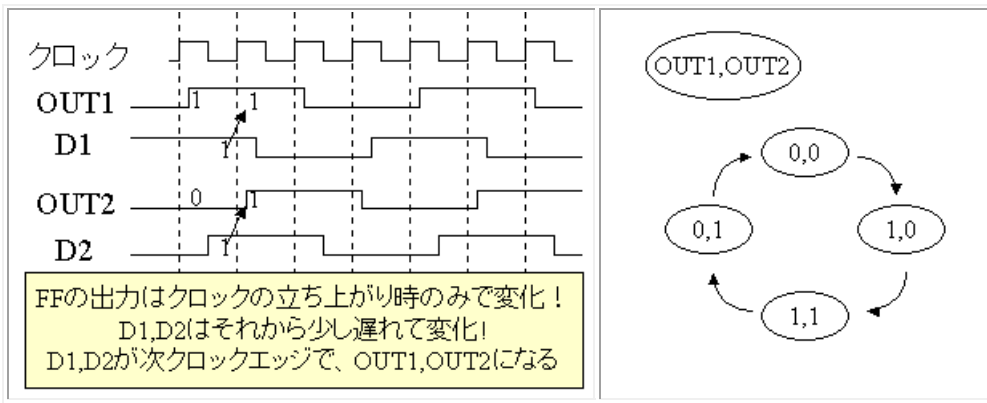
状態遷移マシン(2)

状態遷移マシンの復習(1)

例1	
<p>クロック</p> <p>FOUT</p>	
<p>動作波形図</p>	<p>状態遷移図</p>
<p>クロック</p> <p>FOUT</p> <p>D</p> <p>FOUTの初期値が'0'なので、Dの初期値は'1'</p> <p>クロックの立ち上がりの瞬間に、その時のDの値がFOUTに転送される</p> <p>この遅延はNOT3段分</p>	<p>FOUT</p> <p>0</p> <p>1</p>

状態遷移マシンの復習(2)

例2	
<p>クロック</p> <p>OUT1</p> <p>OUT2</p>	
<p>動作波形図</p>	

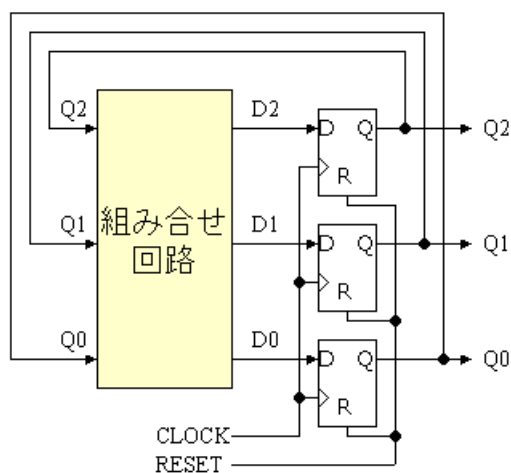


以下の内容が重要!!!

- FFの出力はクロックの立ち上がりエッジのみで変化する。
- FFの出力と外部からの入力信号で、FFの入力信号Dが決まる。
- 次のクロックエッジで、そのDが新たなD-FFの出力となる。
- 状態遷移図の状態とはFFの出力の値の組み合わせである。

Dフリップフロップを用いて状態遷移マシンを設計する

(例題1) 整数で書いて、0、1、2、3、4、5、0、1、2、3、4、5、と0から5を繰り返すカウンタを設計する。実際には、2進法で"000", "001", "010", "011", "100", "101"を繰り返すようにする、RESET信号で"000"に戻せるようにする。(STEP1) "000", "001", "010", "011", "100", "101" なる6つの状態をもつ必要があるので、3つのDフリップフロップが必要である。また、RESET信号が'1'の時に、3つのD-FFの出力を'0'にする必要があるので、RESET付のD-FFを用いると、以下のようになりそう。



(STEP2) 上記回路では、CLOCKの立ち上がりエッジにてD0はQ0へ、D1はQ1へ、D2はQ2へ転送される。したがって、組み合わせ回路は入力Q0, Q1, Q2から次の状態を作り出し、それをD0, D1, D2へ出力すれば良い。したがって、以下の真理値表に示される組み合わせ回路を設計すれば良い。'X'はDON'T CAREです。

入力			出力		
Q2	Q1	Q0	D2	D1	D0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	X	X	X
1	1	1	X	X	X

(STEP3) 上記真理値表からカルノー図を作成して、組み合わせ回路を設計する。

D2のカルノー図	D1のカルノー図	D0のカルノー図																																													
<p>D2のカルノー図</p> <p>Q1, Q0</p> <table border="1"> <tr> <td></td> <td>00</td> <td>01</td> <td>11</td> <td>10</td> </tr> <tr> <td>Q2 0</td> <td></td> <td></td> <td>1</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td>X</td> <td>X</td> </tr> </table>		00	01	11	10	Q2 0			1		1	1		X	X	<p>D1のカルノー図</p> <p>Q1, Q0</p> <table border="1"> <tr> <td></td> <td>00</td> <td>01</td> <td>11</td> <td>10</td> </tr> <tr> <td>Q2 0</td> <td></td> <td>1</td> <td></td> <td>1</td> </tr> <tr> <td>1</td> <td></td> <td></td> <td>X</td> <td>X</td> </tr> </table>		00	01	11	10	Q2 0		1		1	1			X	X	<p>D0のカルノー図</p> <p>Q1, Q0</p> <table border="1"> <tr> <td></td> <td>00</td> <td>01</td> <td>11</td> <td>10</td> </tr> <tr> <td>Q2 0</td> <td>1</td> <td></td> <td></td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td>X</td> <td>X</td> </tr> </table>		00	01	11	10	Q2 0	1			1	1	1		X	X
	00	01	11	10																																											
Q2 0			1																																												
1	1		X	X																																											
	00	01	11	10																																											
Q2 0		1		1																																											
1			X	X																																											
	00	01	11	10																																											
Q2 0	1			1																																											
1	1		X	X																																											

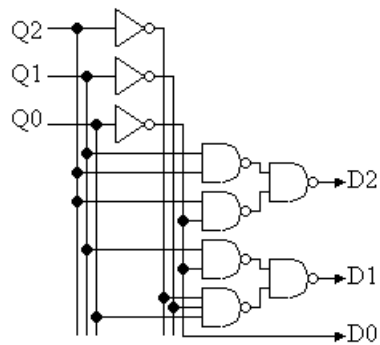
- ということで、簡単化されたブール式は

$$D2 = Q1 \cdot Q0 + Q2 \cdot Q0'$$

$$D1 = Q1 \cdot Q0' + Q2' \cdot Q1' \cdot Q0$$

$$D0 = Q0'$$

- したがって、組み合わせ回路は以下ようになる



もし、D-FFの出力が整数で6="110"や7="111"になったらどうなるのか？

- Q2=1, Q1=1, Q0=0の時、組み合わせ回路出力D2=1, D1=1, D0=1となるので、
- 6の次は7になる。
- Q2=1, Q1=1, Q0=1の時、組み合わせ回路出力D2=1, D1=0, D0=0となるので、
- 7の次は4になる。

すなわち、もし雷等のノイズでD-FFの出力が整数値で6になると、以下のように動作する。

6 ⇒ 7 ⇒ 4 ⇒ 5 ⇒ 0 ⇒ 1 ⇒ 2 ⇒ 3 ⇒ 4 ⇒ 5 ⇒ 0

- もし上記真理値表で、'X'をすべて'0'で設計すれば、

6 ⇒ 0 ⇒ 1 ⇒ 2 ⇒

もしくは

7 ⇒ 0 ⇒ 1 ⇒ 2 ⇒

となるように設計できる。

雷などのノイズを考えれば、DON'T CARE を使わない設計も重要である。

宿題 8 学籍番号 名前 日付 を書いて 提出すること。

1) 整数で書いて、0、1、2、3、4、0、1、2、3、4、と0から4を繰り返すカウンタを設計する。
実際には、2進法で"000"、"001"、"010"、"011"、"100"、"000"を繰り返すようにする、RESET信号で"000"に戻せるようにする。DONT' CARE を用いて、設計せよ。

2) 整数で書いて、0、5、4、3、2、1、0、5、4、3、2、1、0と繰り返すカウンタを設計する。
実際には、2進法で"000"、"101"、"100"、"011"、"010"、"001"、"000"を繰り返すようにする、RESET信号で"000"に戻せるようにする。例題と同様にDON'T CARE を利用して、回路を小さくすること。

3) 上記カウンタでは3ビットのD-FFを用いたので、D-FFの出力が、整数で、6、7になることはないが、実際の電子機器では雷等のノイズで、D-FFの出力が6、7に誤動作で変化することがある。
このようなノイズに対応するために、D-FFの出力が整数で、6もしくは7になっても、次のサイクルで0に変化し、以下のように動作するように設計し直せ。

- $6 \Rightarrow 0 \Rightarrow 5 \Rightarrow 4 \Rightarrow 3 \Rightarrow 2 \Rightarrow 1 \Rightarrow 0 \Rightarrow 5 \Rightarrow 4 \Rightarrow 3$
- $7 \Rightarrow 0 \Rightarrow 5 \Rightarrow 4 \Rightarrow 3 \Rightarrow 2 \Rightarrow 1 \Rightarrow 0 \Rightarrow 5 \Rightarrow 4 \Rightarrow 3$

以上