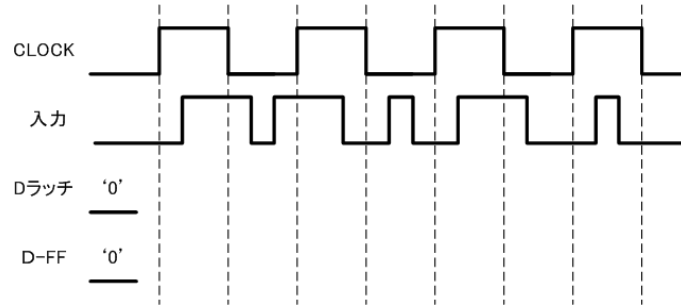


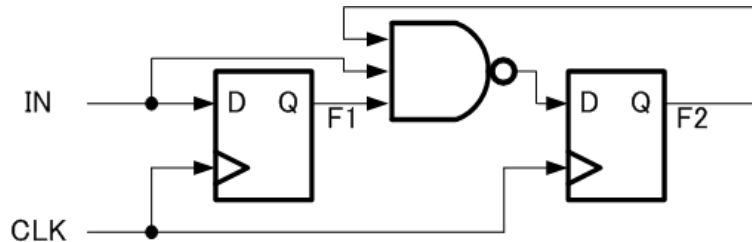
H24年度前期 デジタル回路 期末試験 2012/8/2
 問題1-6:2枚、解答用紙1枚 教科書ノート持込化

解答用紙のみ回収、解答は解答用紙へ！

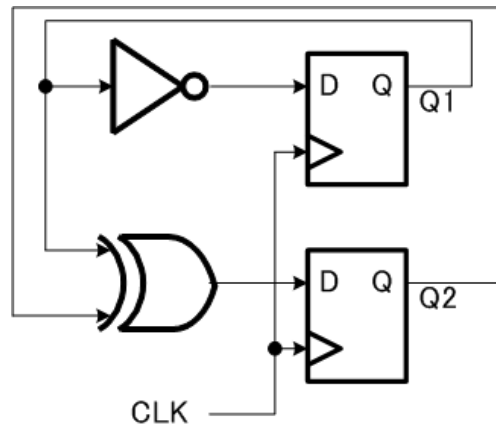
1. 以下の波形をDラッチとDフリップフロップ入力した時の出力波形を完成させよ。但し、DラッチとDフリップフロップの初期値は‘0’とする。(10点)



2. 以下の順序回路の状態遷移図を完成させよ。(10点)



3. 以下の順序回路の動作波形図を完成させよ。但し、Q1、Q2の初期値を‘1’とする。(10点)

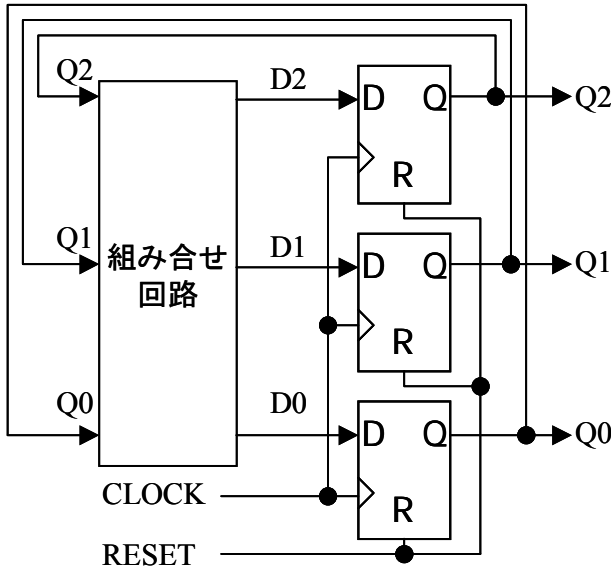


4. 右の真理値表で示される3入力A、B、C、出力Yに対して以下の問いの答えよ

- ① 単純化された加法標準形のブール式を示せ。(7点)
- ② 上記ブール式をNOTとNANDだけを用いて、組み合わせ回路を実現せよ。(8点)
- ③ その組み合わせ回路のトランジスタ数はいくつか？(5点)

入力			出力
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

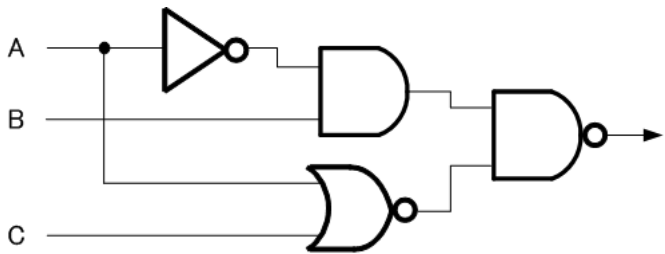
5. RESET付D-FFを用い以下の手順にしたがって、整数値で示して0→2→4→6→7→5→0→2→4...を繰り返すカウンタを設計せよ。(9点+9点+10点+7点=35点)
- ① Q2をMSB、Q0をLSBとして、以下のような回路構成にする。組み合わせ回路のカルノー図を作成し、簡単化を行え(適切に○で囲め!)。但し、DON'T CAREは'X'で示せ。
 - ② 簡単化された加法標準形のブール式を示せ。
 - ③ ②の結果より、NOTとNANDだけを用いて、組み合わせ回路を実現せよ!
 - ④ その組み合わせのトランジスタ数はいくつか?



Q2	Q1	Q0	D2	D1	D0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

6.

- ① 以下のある組み合わせ回路のトランジスタ数はいくつか (7点)
- ② ある組み合わせ回路と同じ機能の組み合わせ回路を、FPGA等のプログラムデバイスで実現されているテーブルメモリを用いた右下の回路で実現する。8ビットのテーブルメモリにセットすべき値を示せ。(8点)



ある組み合わせ回路

