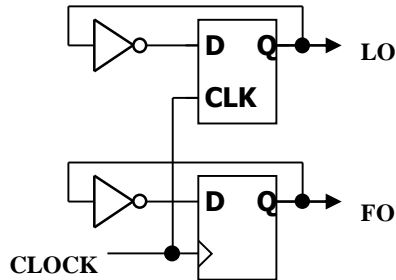
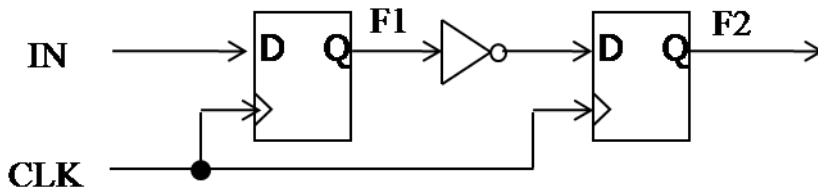


解答用紙のみ回収、解答は解答用紙へ！

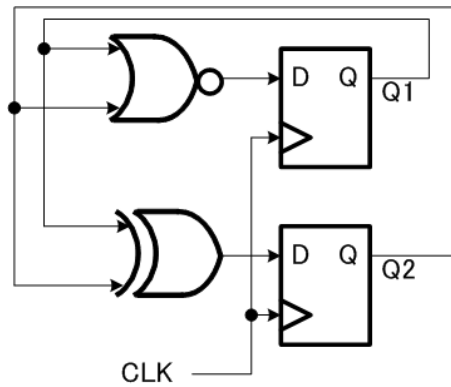
1. 以下のDラッチと、Dフリップフロップを含む回路の出力波形を示せ。NOT回路の遅延を1ns、ラッチ・フリップフロップの遅延を2nsとし、ラッチ・フリップフロップの初期値は“0”とする。(10点)



2. 以下の順序回路の状態遷移図を完成させよ。(10点)



3. 以下の順序回路の動作波形図を完成させよ。但し、Q1、Q2の初期値を‘1’とする。(10点)

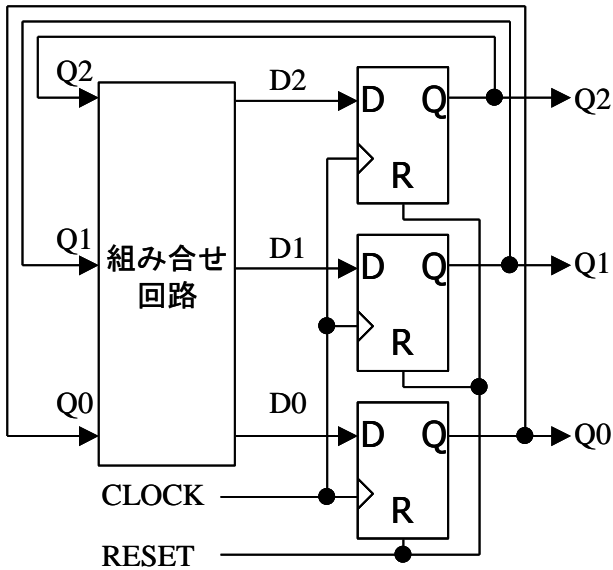


4. 右の真理値表で示される2入力A、B、2出力X、Yが与えられた。

- ① 簡単化された加法標準形のブール式を示せ。(8点)
- ② 上記ブール式をNOTとNANDだけを用いて、組み合わせ回路を実現せよ。(7点)
- ③ その組み合わせ回路のトランジスタ数はいくつか？(5点)

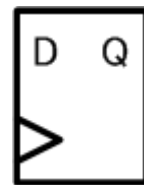
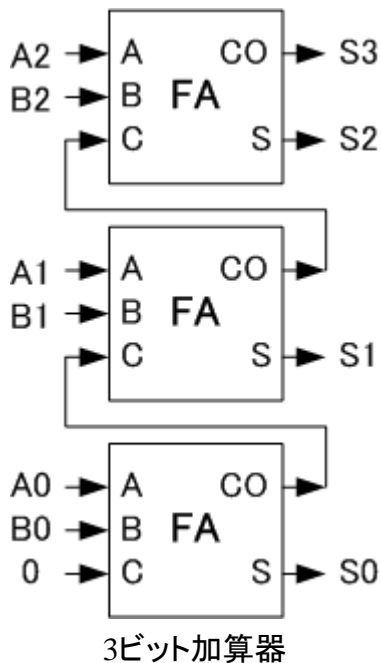
入力		出力	
A	B	X	Y
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	1

5. RESET付D-FFを用い以下の手順にしたがって、整数値で示して0→1→3→6→7→5→0→1→3...を繰り返すカウンタを設計せよ。(9点+9点+10点+7点=35点)
- ① Q2をMSB、Q0をLSBとして、以下のような回路構成にする。組み合わせ回路のカルノー図を作成し、簡単化を行え(適切に○で囲め!)。但し、DON'T CAREは'X'で示せ。
 - ② 簡単化された加法標準形のブール式を示せ。
 - ③ ②の結果より、NOTとNANDだけを用いて、組み合わせ回路を実現せよ!
 - ④ その組み合わせのトランジスタ数はいくつか?



Q2	Q1	Q0	D2	D1	D0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

6. 以下の回路図は3ビットの数A=(A2, A1, A0)とB=(B2, B1, B0)の加算をし、4ビットの数S=(S3, S2, S1, S0)を出力する回路である。必要に応じて、以下に示すDフリップフロップとNOTゲートを用いて、この組み合わせ回路を、A-Bの減算を行うように修正(部分点7点)し、さらにDフリップフロップを用いて、3段のパイプライン動作するように回路変更せよ。部分点も加算するので、白紙ではなく回路を書くこと!(15点)



Dフリップフロップ

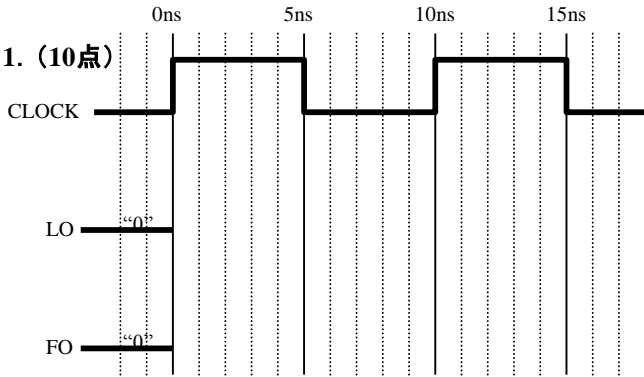


NOT

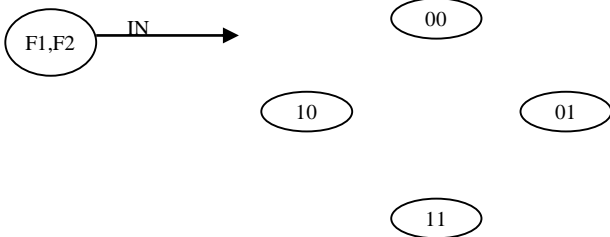
学籍番号: _____ 名前: _____ ;

100

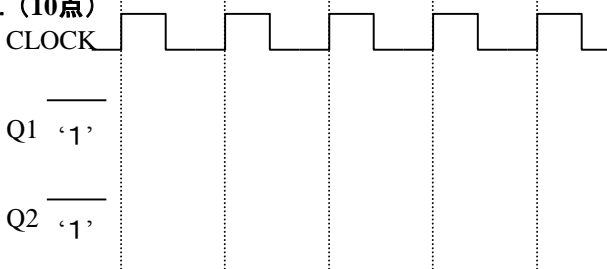
1. (10点)



2. (10点)



3. (10点)



4. (20点)

①(7) X= _____

Y= _____

②(8)

5. (35点)

①(9)

	Q1, Q0			
D2	00	01	11	10
Q2	0			
1				

	Q1, Q0			
D1	00	01	11	10
Q2	0			
1				

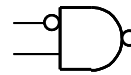
	Q1, Q0			
D0	00	01	11	10
Q2	0			
1				

②(9) D2= _____

D1= _____

D0= _____

③(10)



のような入力に丸(NOT)のあるシンボルを使わないこと。

④(7) 答え: _____ トランジスタ

6. (15点)