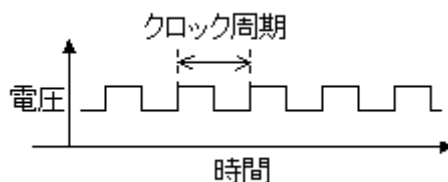


D ラッチ (D-LATCH) と D フリップフロップ (D-FF)

- **クロックを用いる同期型のみ**
教科書では、1ビットのデータを保持するもの(2安定回路)をフリップフロップと呼んでいるが、現実のデジタル回路ではクロックという制御信号を使用するので、ここではクロックを用いるものだけを取り扱う。
- **最も単純な D 型のみ**
教科書では、SR/JK/T などの色々な FF を取り扱っているが、現実には種々の FF を区別して設計する重要性はなくなっているため、ここではもっとも単純な D タイプのラッチおよび D タイプのフリップフロップのみを取り扱う。(以前は SR/JK/T/D のような FF のタイプを切り替えることで、回路素子数を減らしたりしたが、現在では FF の変換は自動化されている。)

クロックとは何か？

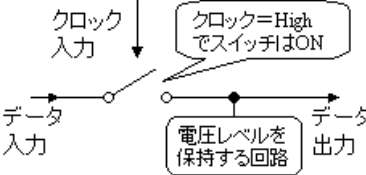
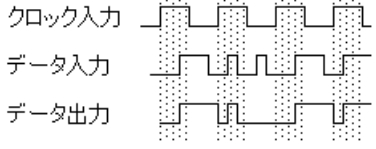

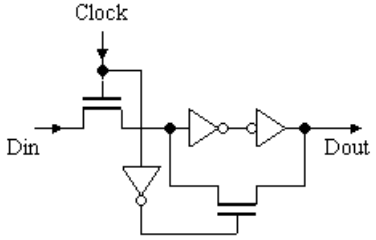
- 周期的に電圧がハイレベルとローレベルを繰り返す信号
- 通常は水晶発振器で生成され、信号配線にて分配される



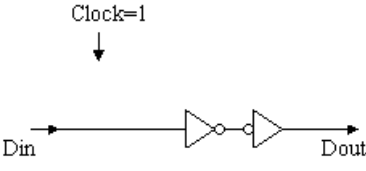
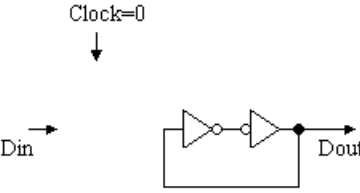
- 通常のデジタル回路はこのクロック信号の電圧レベルや、電圧の立ち上がりエッジなどを利用して一斉に動作する。このことを、クロックに同期して動作するという。
- クロックの周期が 10ns (10 ナノ時間) であれば、クロック周波数はその逆数であり、100MHz となる。
- PentiumIII 500MHz のパソコンでは、クロック周期は 2ns であり、2ns ごとに新たな命令の実行を開始する。
- 通常のデジタル回路ではクロックに同期して(クロックの立ち上がりエッジごとに)、回路がなんらかの動作を行う。したがって、クロック周波数が高いほど(クロック周期が短いほど)高性能である。

D ラッチ

- D ラッチにはデータ入力とデータ出力端子があり、それをコントロールするクロック入力がある。
- D ラッチはクロックが HIGH(高)レベルでデータ入力はデータ出力で伝わり、
- クロックが LOW(低)レベルでは、データの流は遮断され、以前のデータ出力を保持する。
- したがって、D ラッチのデータ出力はクロックが HIGH の時にしか変化しない。

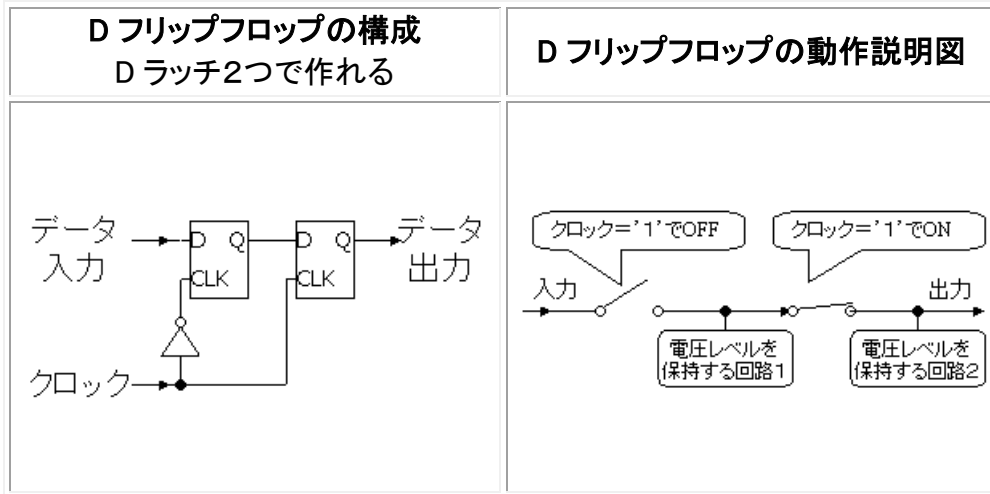
<p>D ラッチの動作説明図</p>	<p>D ラッチの動作波形 クロック HIGH ではデータが転送 クロック LOW ではデータ保持</p>
	
<p>D ラッチのシンボル</p>	<p>D ラッチの回路図の一例</p>
	

• 実際の D ラッチの回路図

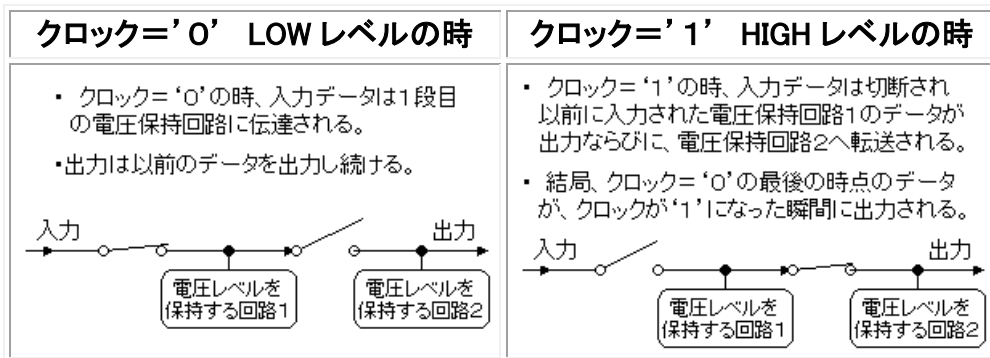
<p>Clock = '1' の時</p>	<p>Clock = '0' の時</p>
	

- D ラッチの出力は入力データが遅延したものであり、D ラッチの D は遅延(Delay)の意味である。

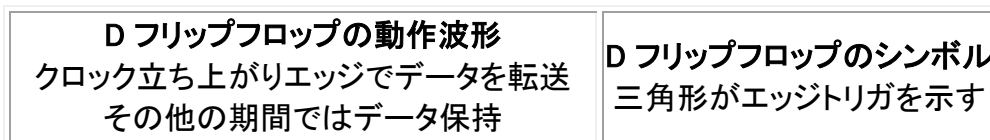
D フリップフロップ

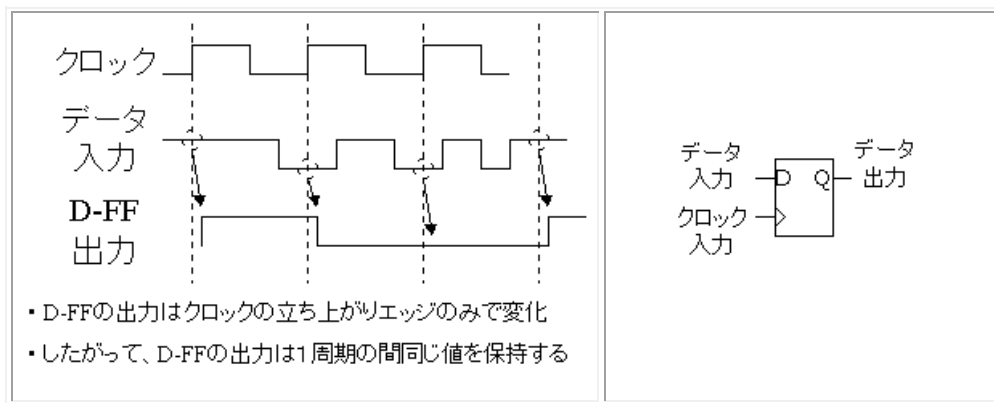


- D-FF にはデータ入力とデータ出力端子があり、それをコントロールするクロック入力がある。
- D-FF はクロックが LOW から HIGH(高)レベルに変化した時の入力データが、出力に伝わり、
- それ以外の時間は、以前のデータ出力を保持する。



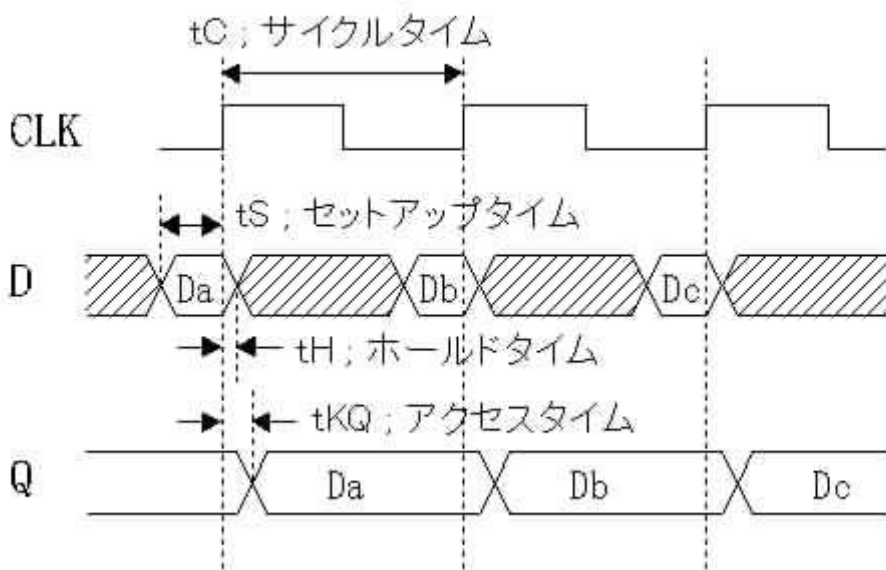
- ということで、クロックの'0'から'1'への変化時の入力データが出力に伝達される。
- この動作を「エッジ トリガ」という。
- エッジは'0'から'1'への変化、トリガは引き金であり、エッジが引き金を引くという意味。





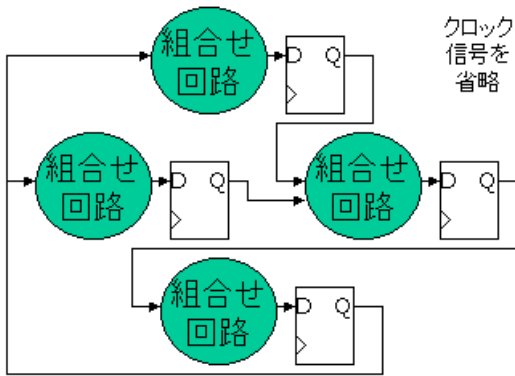
D フリップフロップの動作タイミング

シンボル	名称	意味
tC	サイクルタイム	動作する周期、スペックでは最小値が規定される。
tS	セットアップタイム	クロックエッジに対するデータを用意する時間、スペックでは最小値が規定される。
tH	ホールドタイム	クロックエッジに対してデータを保持する時間、スペックでは最小値が規定される。
tKQ	アクセスタイム	クロックエッジからデータ出力までの時間、スペックでは最大値が規定される。



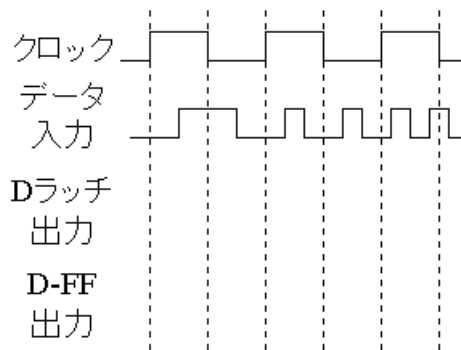
同期型デジタル回路

- 現実のデジタル回路はほとんどすべてが、クロックを用いる同期型の回路である。
- 今説明した、D ラッチ、D フリップフロップ、を用いている。
- 今後の講義では、同期型のデジタル回路を取り扱う。特に、最も設計が簡単な、D フリップフロップを用いたデジタル回路を取り扱う。
- D-FF を使用する同期型デジタル回路は、以下の図のようになり、D-FF を介して、各組み合わせ回路がデータを交換しながら、データ処理を行う。
- この時、D-FF を用いる方式では以下の図のように、自由にデータを交換でき、タイミングの問題も少ない。

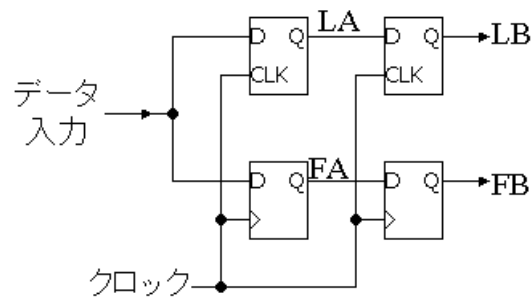


宿題6 学籍番号 名前 日付 を書いて 提出すること。

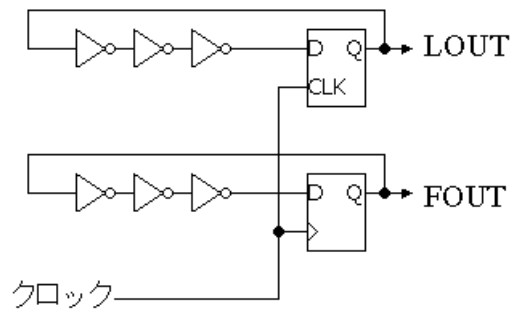
1) 以下の波形を D ラッチと、D フリップフロップに入力した。それぞれの出力波形を示せ。



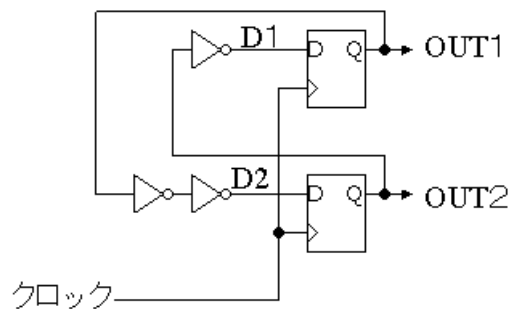
2) 上記1)と同じクロック、データ入力波形を以下のような、D ラッチ 2 段と D-FF 2 段の回路に入力した場合の出力端 LB、FB の波形を示せ。LA と FA は上記1)に対応する。



- 3) 以下の回路の出力端 LOUT と FOUT の動作波形を示せ。
 但し、NOT 回路の遅延時間は 1ns、D ラッチ/D-FF の遅延時間を 2ns、
 クロックのサイクルタイムを 20ns とし、
 D ラッチ/D-FF の初期値(初期の出力値)を '0' とする。

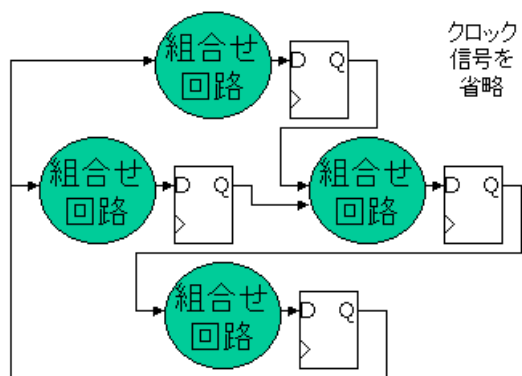


- 4) 以下の回路の出力端 OUT1 と OUT2 の動作波形を示せ。
 OUT1 と OUT2 はある周期で同じ波形を繰り返す。
 クロックの周期を 10ns とすると、OUT1 と OUT2 の周期はいくらか？



- 5) 説明したように、デジタル回路では D-FF を介して、組み合わせ回路がデータの交換を
 クロックの立ち上がりエッジに同期して行い、データ処理を行う。
 2)の結果を復習して、以下の回路図の D-FF を D ラッチに変更するとうまく
 動作しないことを説明せよ。

デジタル回路 #8 2014/6/26



以上