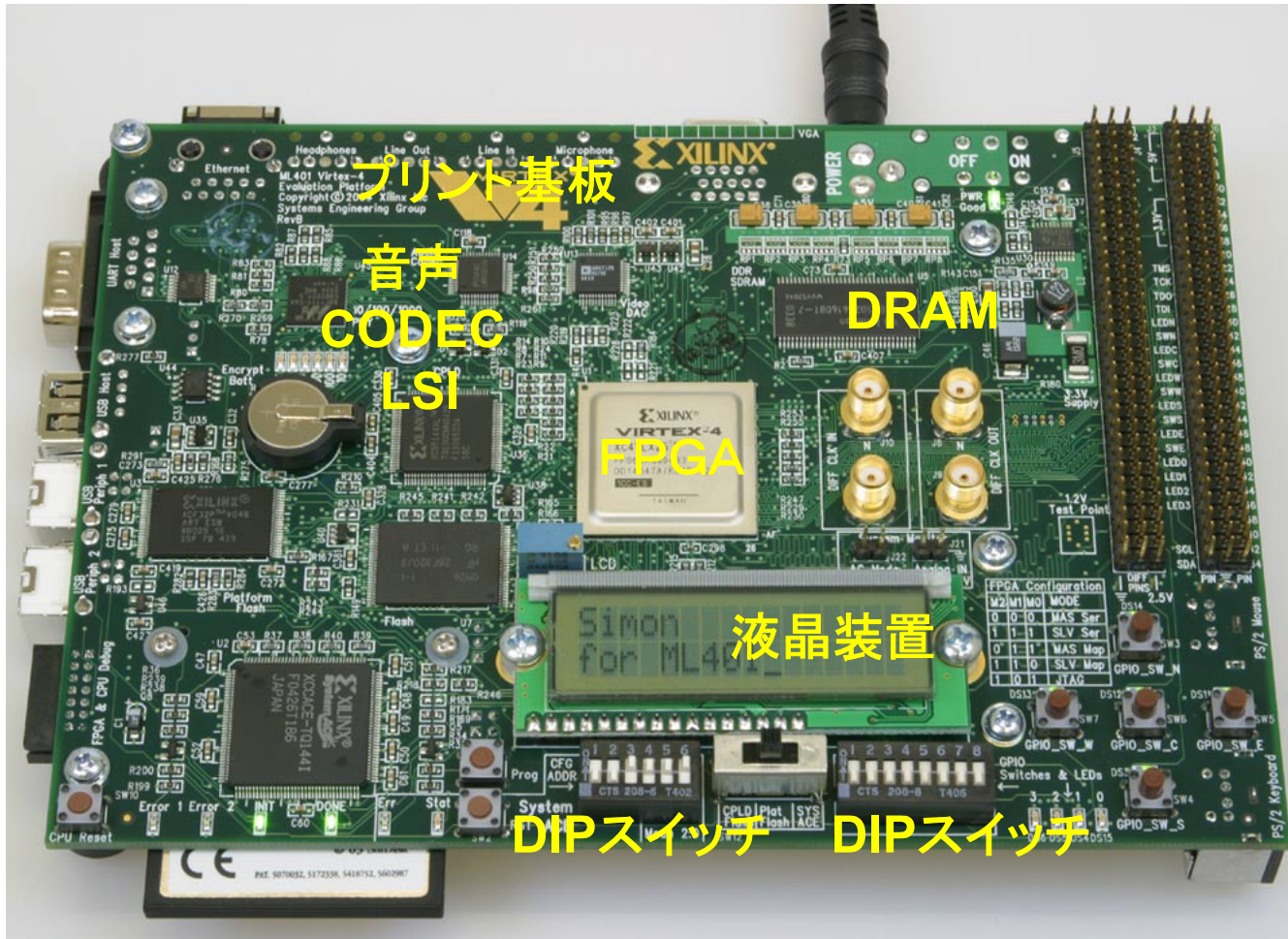




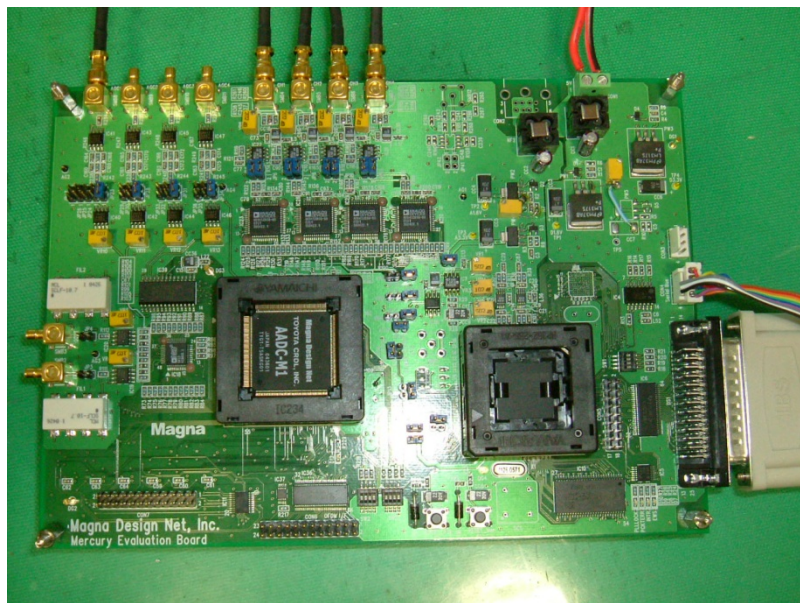
デジタルシステム とFPGA (Field Programmable Gate Array)

プリント基板と半導体デバイスによる電子システム



プリント基板

- プリント基板は厚さ1～2mmの絶縁板（ベークライト、エポキシ樹脂など電気を通さない材料）に銅箔で配線を張り付けた構造
- 銅箔の厚さは30～40 μm のものが一般的
- 半導体集積回路、コネクタ、抵抗、容量などを取り付ける
- 2層・4層・8層などの配線層



スルーホールビア スルーホールビア
使わない
内層パッドの削除 ブラインドビア ベリッドビア

6層配線プリント基板

集積回路の概念と基本技術

- 集積回路（LSI: Large Scale Integration）
 - 身の回りのPC、携帯電話、インターネット、TVなどの情報関連電子機器の中核部品
- 1948年：真空管→半導体トランジスタの発明
 - 小型、高速、高信頼、低コスト
- 1959年：集積回路の発明（キルビー） → プレーナ技術
 - 昔のトランジスタラジオ（個別部品）→現在のPC（LSI）
- アナログ回路、そしてデジタル回路
 - デジタルコンピュータ、デジタル信号処理
 - アナログ・デジタル混載
- 汎用LSI（大量生産、安価）：マイクロプロセッサ、メモリ
- 特定システム専用LSI（ASIC）
- 1000万ゲートの集積可能：システムLSI、システムオンチップ

機能によるLSIの分類

1. 論理LSI: マイクロプロセッサ、DSP
 2. メモリLSI: RAM (DRAM、SRAM)、ROM (Flashメモリ)
 3. アナログLSI: ADC、DAC、フィルター、アンプ
- 論理LSI: マイクロプロセッサ (PC、ワークステーションの処理LSI)
 - 主記憶内の命令 (プログラム) にしたがって、デジタル演算等を行う
 - 集積度: 25年で7000倍、18ヶ月で2倍 (インテル: ムーアの法則)
 - クロック周波数: 25年で700倍
 - メモリLSI:
 - DRAM (コンピュータの主記憶): 4年で容量が4倍
 - SRAM (携帯機器のワークメモリ)、Flash (不揮発、デジカメ)
 - アナログLSI:
 - 実際の伝播通信のインターフェース (情報処理でない)

デバイスによるLSIの分類

- MOS LSI
 - CMOS : 最も主流、低消費電力、高速、大規模
- Bipolar LSI
 - CMOSより高速に動作
 - Si-Ge(ヘテロバイポーラTr) : 超高周波デバイス(光通信、RF)
- 化合物半導体(GaAs) LSI
 - LSIとしてはCMOSに取って代わられた
 - DVD用の発光ダイオードなど、RF関連で単体レベルで有効

LSI化のインパクト

■ コンピュータシステム

- LSIの進歩とともにダウンサイジング
- 大型コンピュータ(IBMメインフレーム)→WS→PC→ノートPC
- 磁気メモリ(主記憶)→半導体メモリ(DRAM)、不揮発性半導体メモリ
- コンピュータと通信が強く結合してゆく

■ 通信ネットワーク

- TVやラジオ、電話等のアナログ通信→デジタル通信化(BSデジタル、地上波デジタル、ISDN、ADSL、インターネット)
- デジタル化によりアプリと通信速度が分離→大容量デジタル情報通信
- 光通信(インターネット等の海底ケーブル、各家庭へのファイバー)
- 通信の packets 処理(デジタルLSI)、光インターフェース(半導体ダイオード)

■ マルチメディアシステム

- メディアのデジタル化(文字、音声、静止画、動画)
- メディア情報の圧縮: CELP、ADPCM、JPEG、MPEG(複雑なデジタル計算)

半導体メモリ

- メモリとは大量のビットを記憶するデバイスである。
- 主な用途：
 - コンピュータの主記憶(DRAM)
 - ディスプレイの画像を蓄えるフレームメモリ(DRAM)
 - 携帯電話(バッテリーバックアップ)のワークメモリ(SRAM)
 - 超高速のCacheメモリ(SRAM)
 - PCのBIOSなど、電源OFF時にもデータを保持(Flash)
 - デジタルカメラの画像記憶、スマートメディア、SDカード(Flash)
 - Nintendo64等のゲームカセット(MaskROM)
- RAM、ROM、不揮発性メモリ、FIFO
- EPROM(紫外線で一括消去)、EEPROM(電氣的に消去&プログラム)
- Flash(電氣的に一括消去)
- ピン: アドレス、データ、制御、電源

RAM: SRAM、DRAM

■ SRAM:

- 単体としては現状で4M-16Mbit
- ASICに内蔵される(ロジックプロセスで作れる)最も基本的なメモリ
- ロジックプロセスでは6Tr、高抵抗負荷型なら4Tr+2R
- 非同期→同期SRAM

■ DRAM:

- 1Tr+1C
- リーク電流でデータが消失(100ms程度)→リフレッシュ動作必要
- 1M-4Mではプレーナ→現状ではトレンチ、スタック(こちらがメジャー)
- 読み出し動作の後に、データの再書き込み、ビット線のぷリチャージ必要
- DRAM→SDRAM

■ ASICを設計するのなら、供給されるIPを使うことになる。

ROM: マスクROM, PROM

- マスクROM:
 - 記憶情報を製造過程で書き込む > 図6. 6
 - ファミコンのROM、漢字FONT、BIOS
- PROM: Programmable ROM
 - 携帯機器のプログラム(携帯電話、WindowsCE)
 - BIOS(主流)
 - 書き換え可能(消去可能な)PROMをEPROM
 - 電子を注入して、 V_{th} をあげてプログラム
 - 紫外線を照射してその電子を放出させて消去
 - 電氣的に書き換え可能PROM: EEPROM
 - 制御ゲートに高電圧でプログラム
 - ドレイン端の薄酸化膜のトンネル電流で消去
 - Flashメモリ
 - ブロックや全ビットを電氣的に消去

AD、DA変換LSI

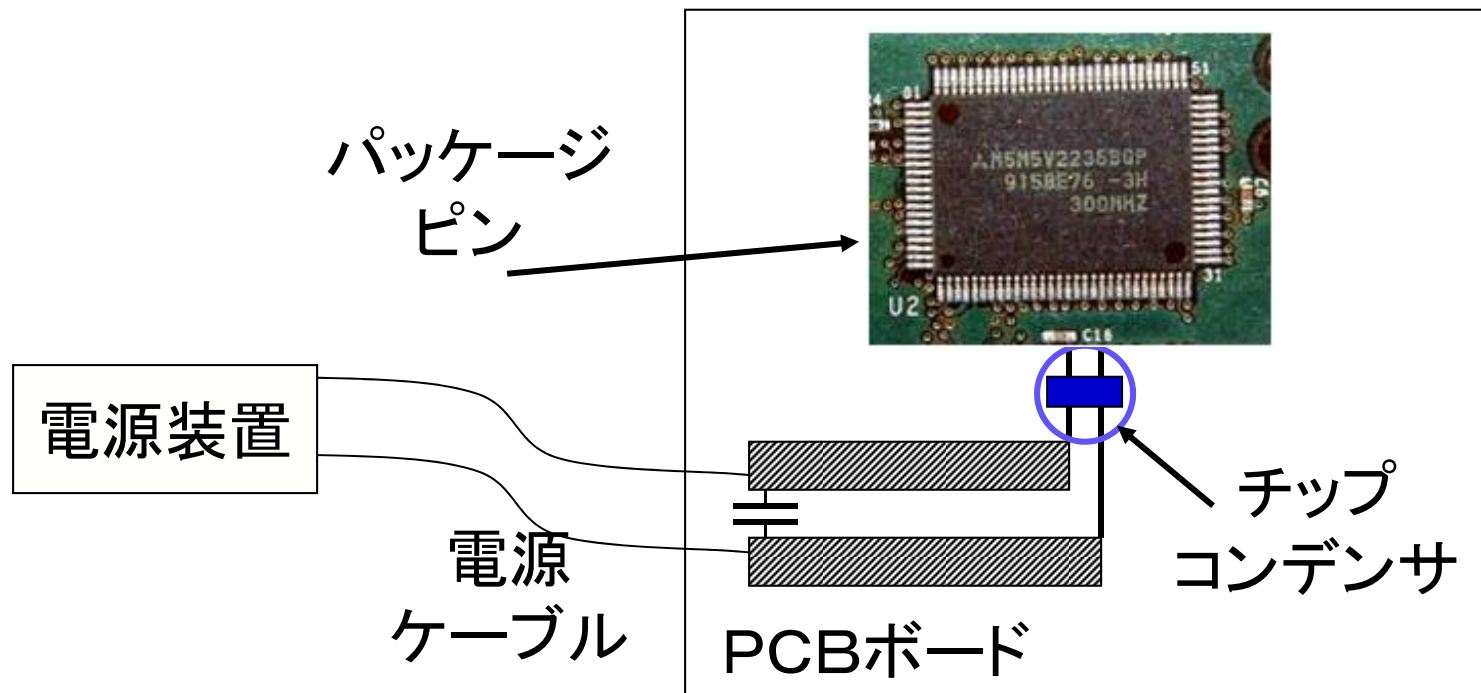
- 何故、アナログをデジタルにするのか？
 - デジタル回路は特性が安定、高温、低電圧等の最悪条件で保証すれば、いつも同じ性能がでる＞大量生産する製品にマッチ
 - デジタルは情報をメモリに記憶できるので、どんな数学的処理も原理的に実現できる＞MPEG、デジタル通信変調
- 情報を失わないサンプリング速度とは
 - アナログ信号が含む最大周波数成分(f_b)の2倍以上でサンプリングすれば、情報は失われない＞ナイキストのサンプリング定理
- 量子化により量子化ノイズがのる
 - 精度に応じたビット数が必要

フィルタとPLL

- SOCではデジタルフィルタが主流
 - FIRフィルタ、トランスバーサルフィルタ
 - ベクトルの内積であり、信号処理では畳み込みであり、最も基本的な処理
- PLL (Phase locked loop)
 - デジタルデータで指定した精密な周波数の発振回路が実現できる。
 - 通信の搬送波の発生、マイクロプロセッサのクロック発生
 - 位相比較器
 - VCO(voltage controlled oscillator)

電源はどこから供給される？

- 本当の電源はLSIから遠い所にある
- LSIにしてみれば、チップコンデンサが頼り



QFPとBGA

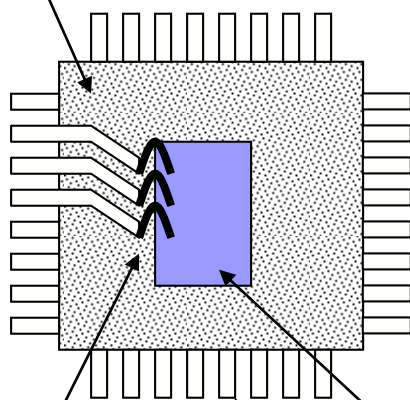
QFP

BGA

プラスチックボディー



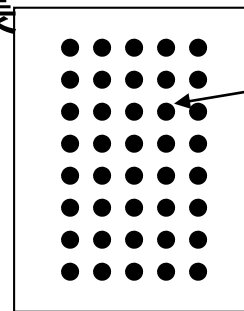
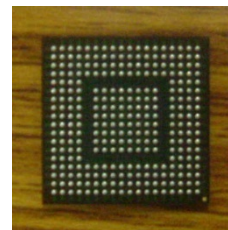
ボンディング
ワイヤー



ピン

シリコン
チップ

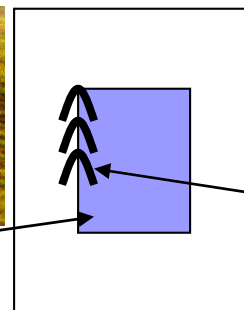
裏



ピン
半田ボール

基板
プリント配線

表

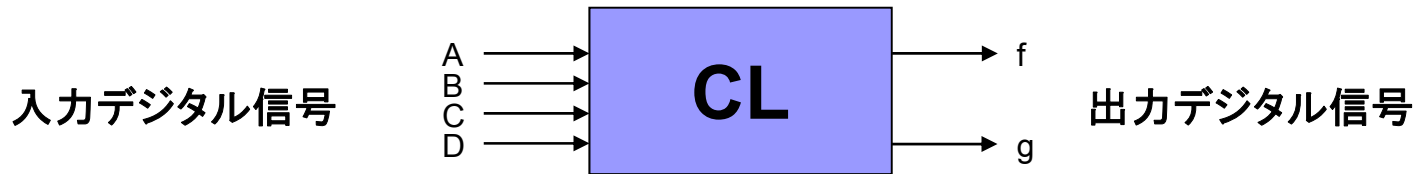


ボンディング
ワイヤー

FPGA (Field Programmable Gate Array)

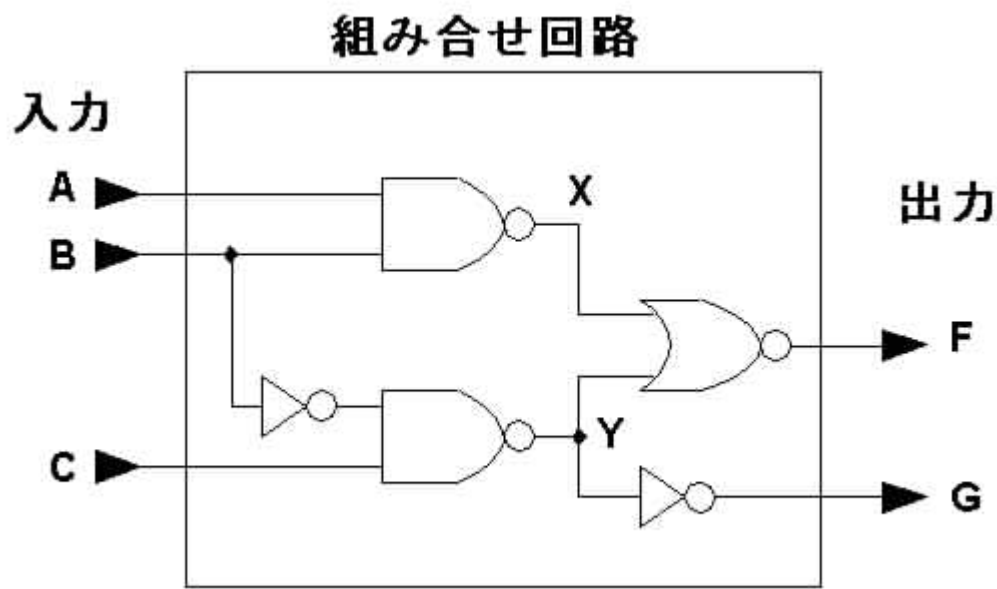
- プログラム(再構成)可能なデジタルシステム
- 構成部品
 - 基本部品
 - 組み合わせ回路
 - フリップ フロップ
 - 場合によって搭載される大規模部品
 - 乗算器(大規模な組み合わせ回路)
 - RAM ランダムアクセスメモリ(読み書き可能)
 - ROM リード オンリーメモリー(読み出し専用メモリー)
 - CPU
 - プログラマブル配線
 - プログラマブルI/O回路 (FPGA外部との信号のやりとりをする)
 - プログラマブルクロック生成回路

組み合わせ回路(Combinational logic)



- 出力信号 (f,g) が入力信号 (A,B,C,D) の値だけで決定できるのが組み合わせ回路
- すなわち、以下のように関数として定義できる
 - $f = \text{func1}(A, B, C, D)$
 - $g = \text{func2}(A, B, C, D)$
- 組み合わせ回路は、内部にフリップフロップのようなメモリを含まない
- フリップフロップ等がなくても、信号ループが存在するとメモリが構成される場合がある
- 組み合わせ回路はNOT, NAND, NOR等の基本ゲートで構築することができる

ゲート回路 による組み合わせ回路の実現



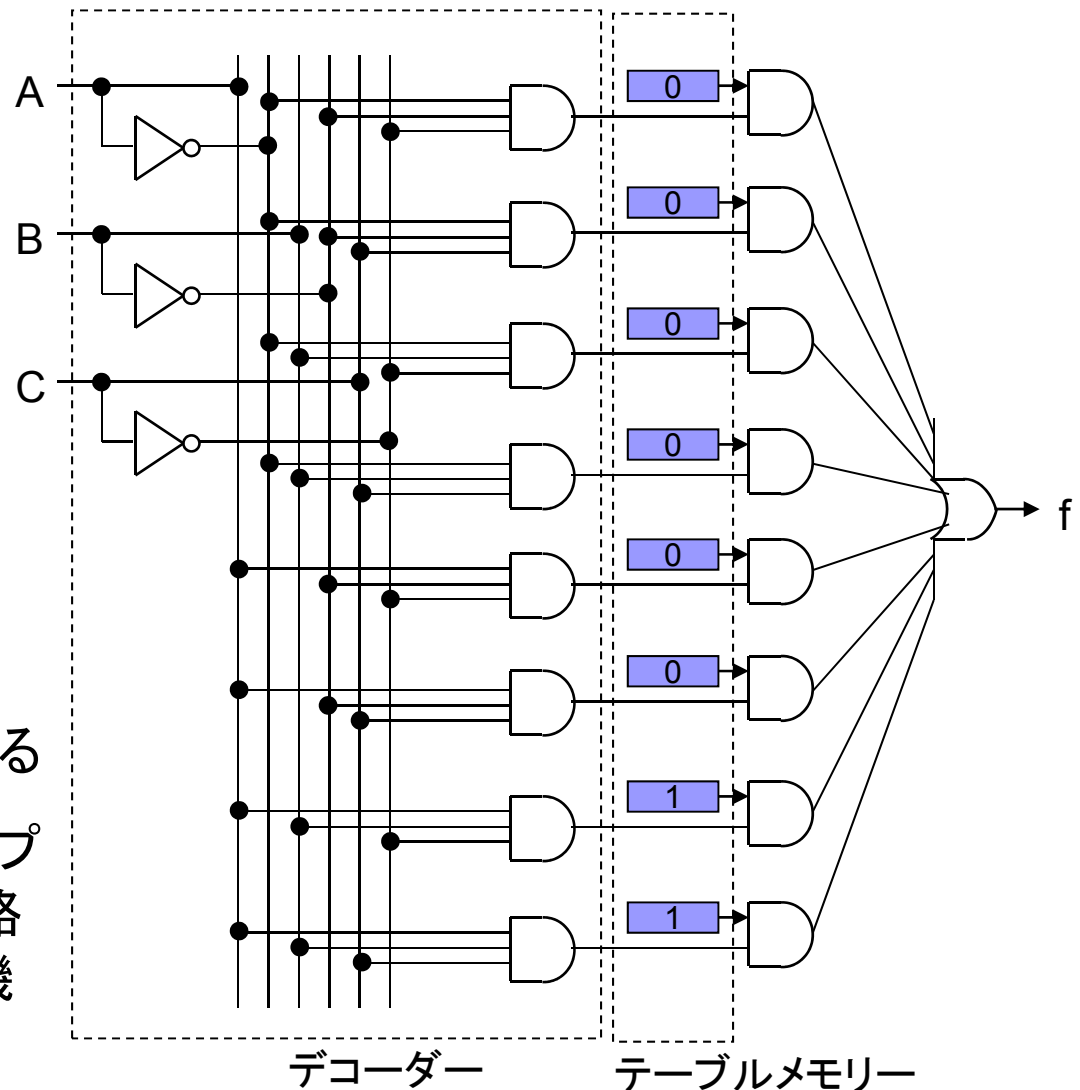
- 信号は左から右へ伝わる(入力から出力方向へ)
- 信号ループ(フィードバック)は禁止
- もし、信号ループが存在すると状態を保持するメモリ回路が構成される場合がある
- 回路の機能は構成部品とその接続で決定し、機能は変更できない。

テーブルメモリ による組み合わせ回路の実現

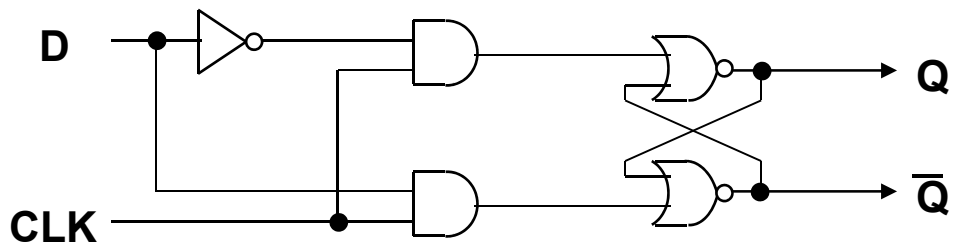
真理値表

A	B	C	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

- 組み合わせ回路の機能は真理値表で示すことができる
- 真理値表の出力値をフリップフロップに記憶させ、右回路のような実現することで、機能を変更できる

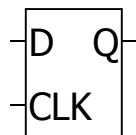


Clocked D LATCH

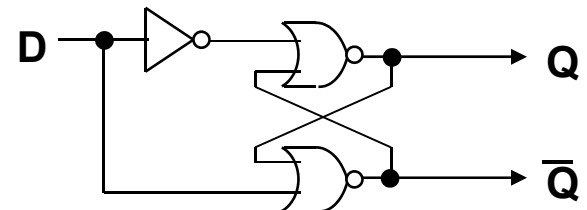


- NOR のクロスループで1ビット記憶を実現
- When CLK=1, $Q = D$, $\bar{Q} = \text{not}(D)$
- When CLK=0, Q はデータを保持

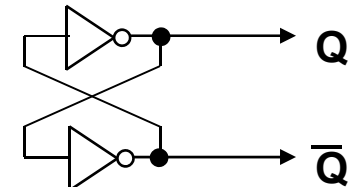
CIRCUIT SYMBOL:



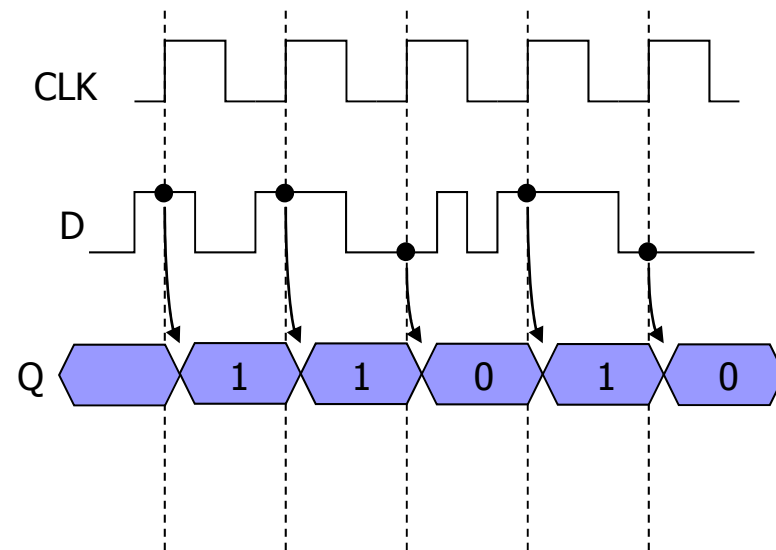
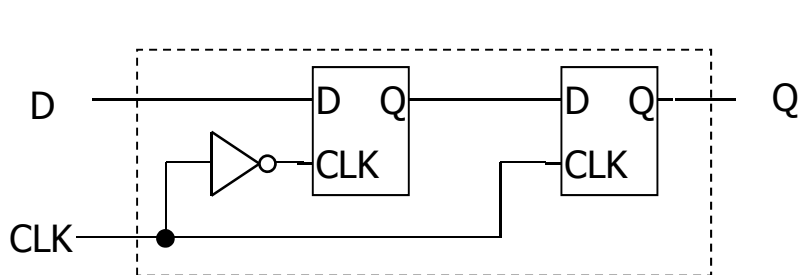
When CLK='1'



When CLK='0'

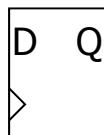


マスタースレーブ型D Flip-Flop

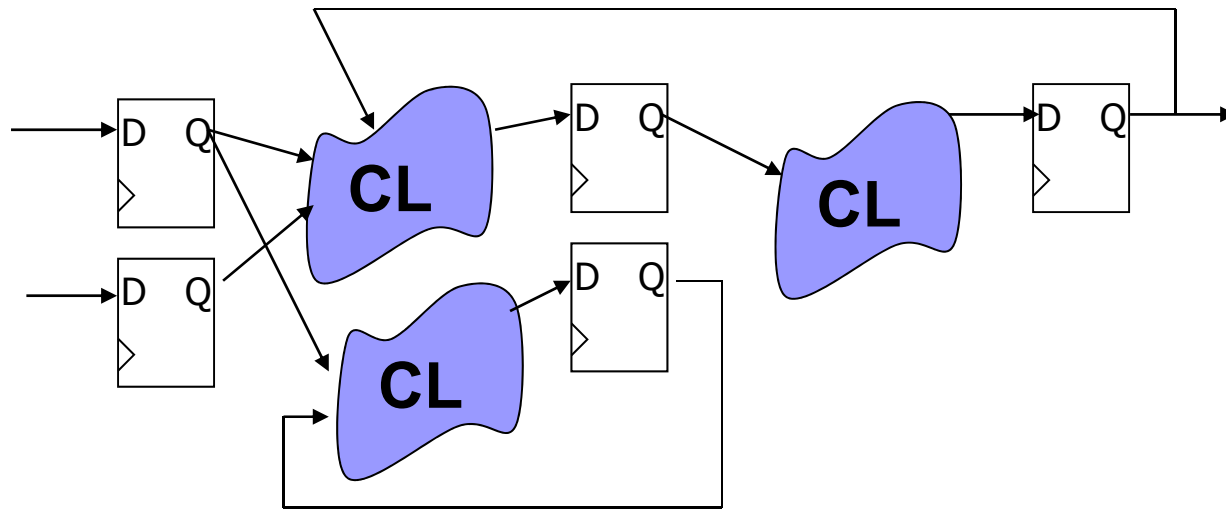


- 前頁のDラッチを2段直列
- 1ビットメモリとして動作
- クロック信号の立ち上がりエッジのタイミングで動作
- 現在のデジタルシステムでもっとも一般的に用いられている
- Q出力はCLKの立ち上がりエッジでのみ変化するので、変化するのは最大1サイクルで1回のみ

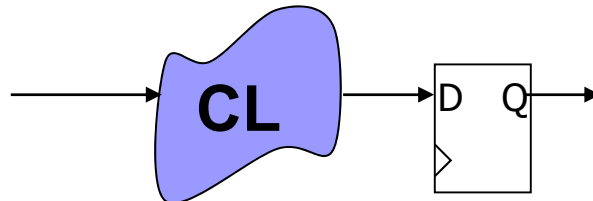
回路シンボル:



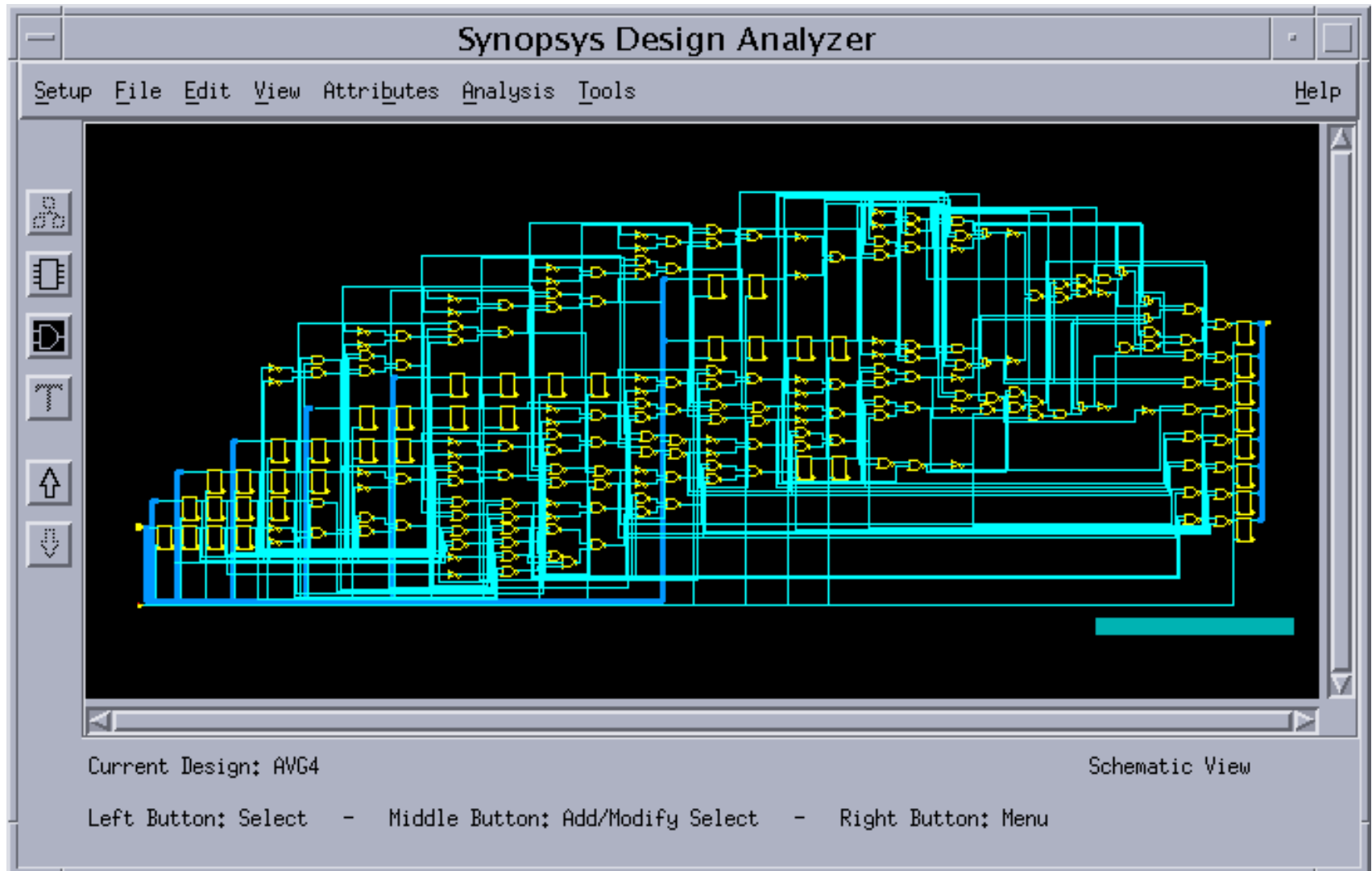
デジタルシステムは 実はフリップフロップと組み合わせ回路



- FPGA はCLの機能とCLとFFの接続を自由に変更できるデバイス
- FPGAの一般的な基本構成要素は



Example of Circuit Synthesis

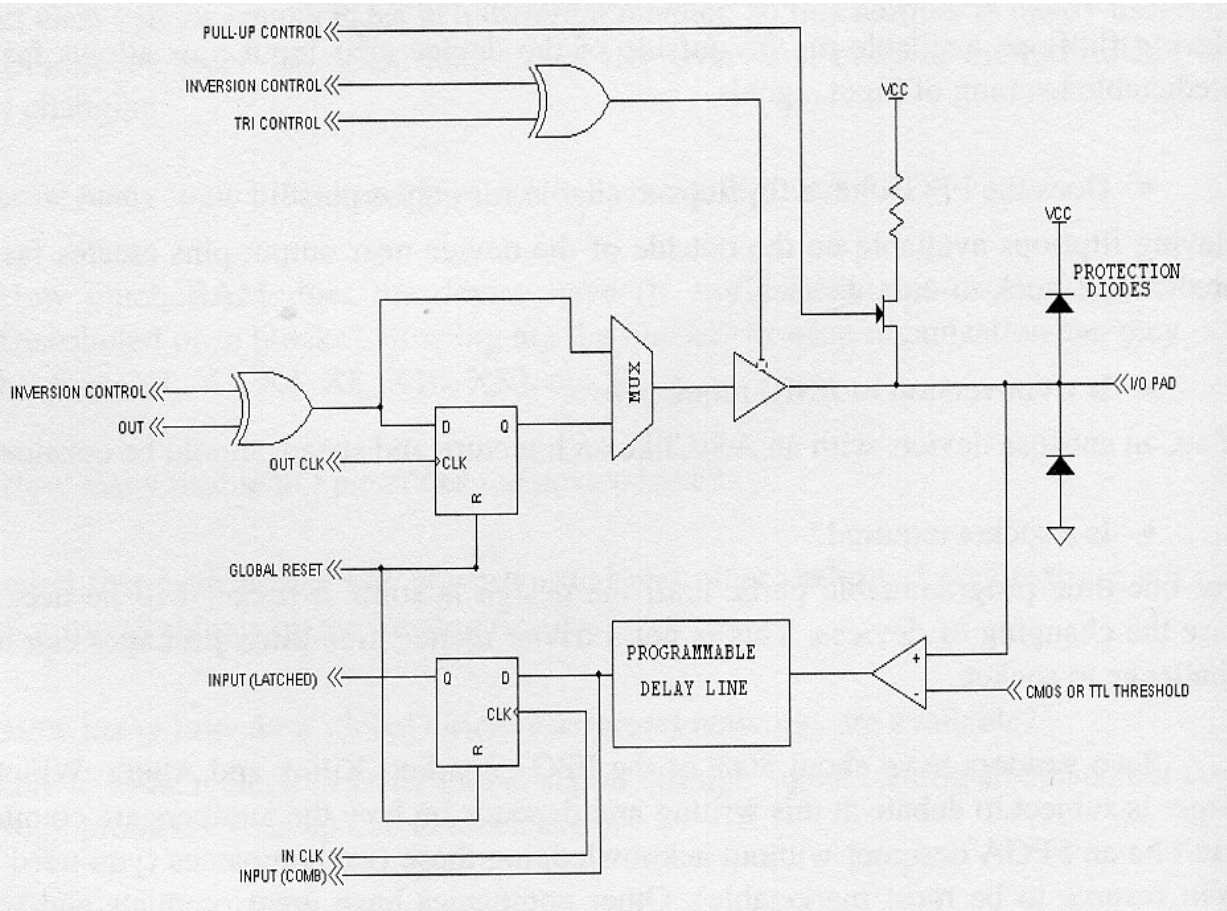




XILINX FPGA

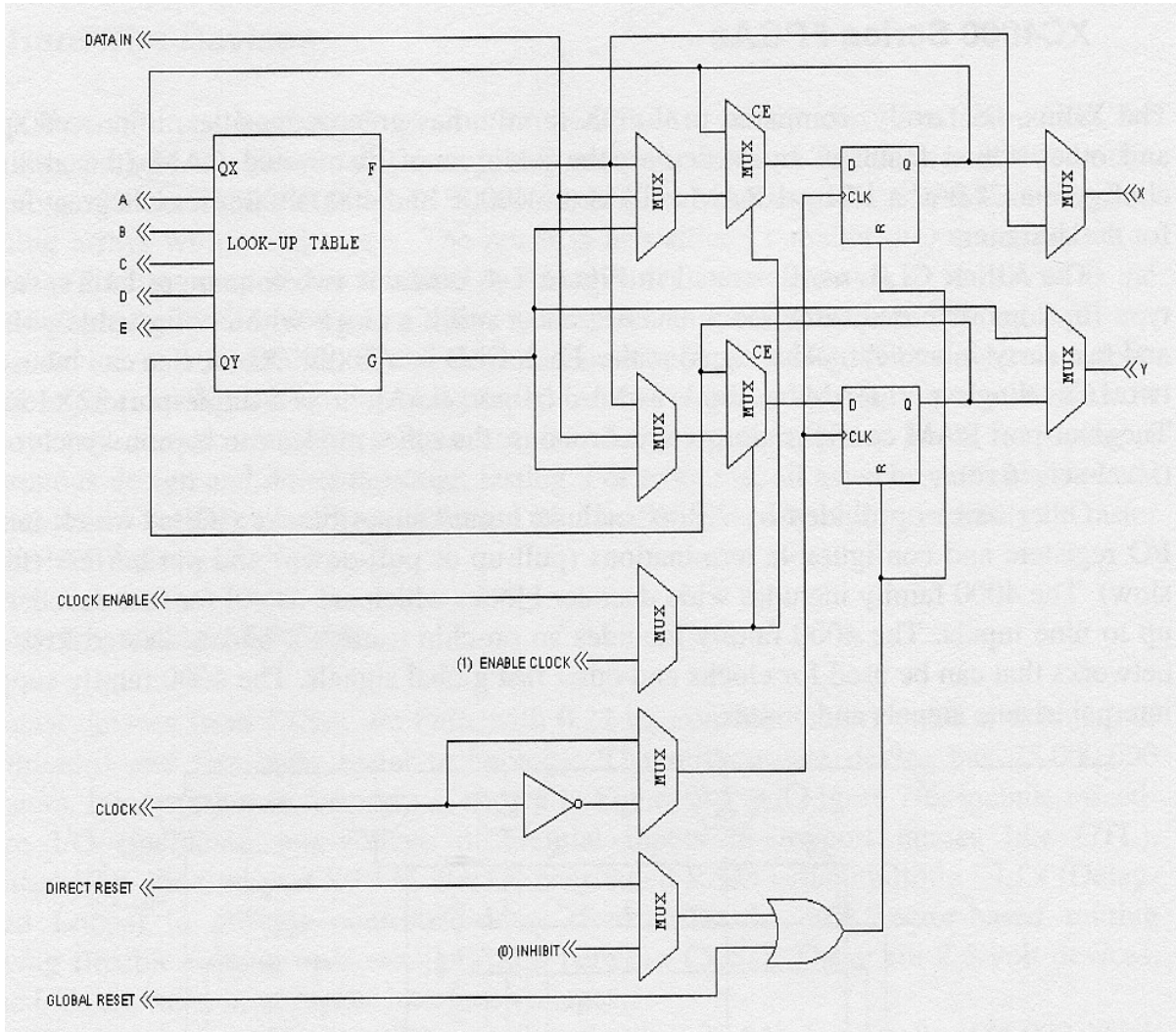
- Field Programmable Gate Array

XILINX XC3000 Family I/O



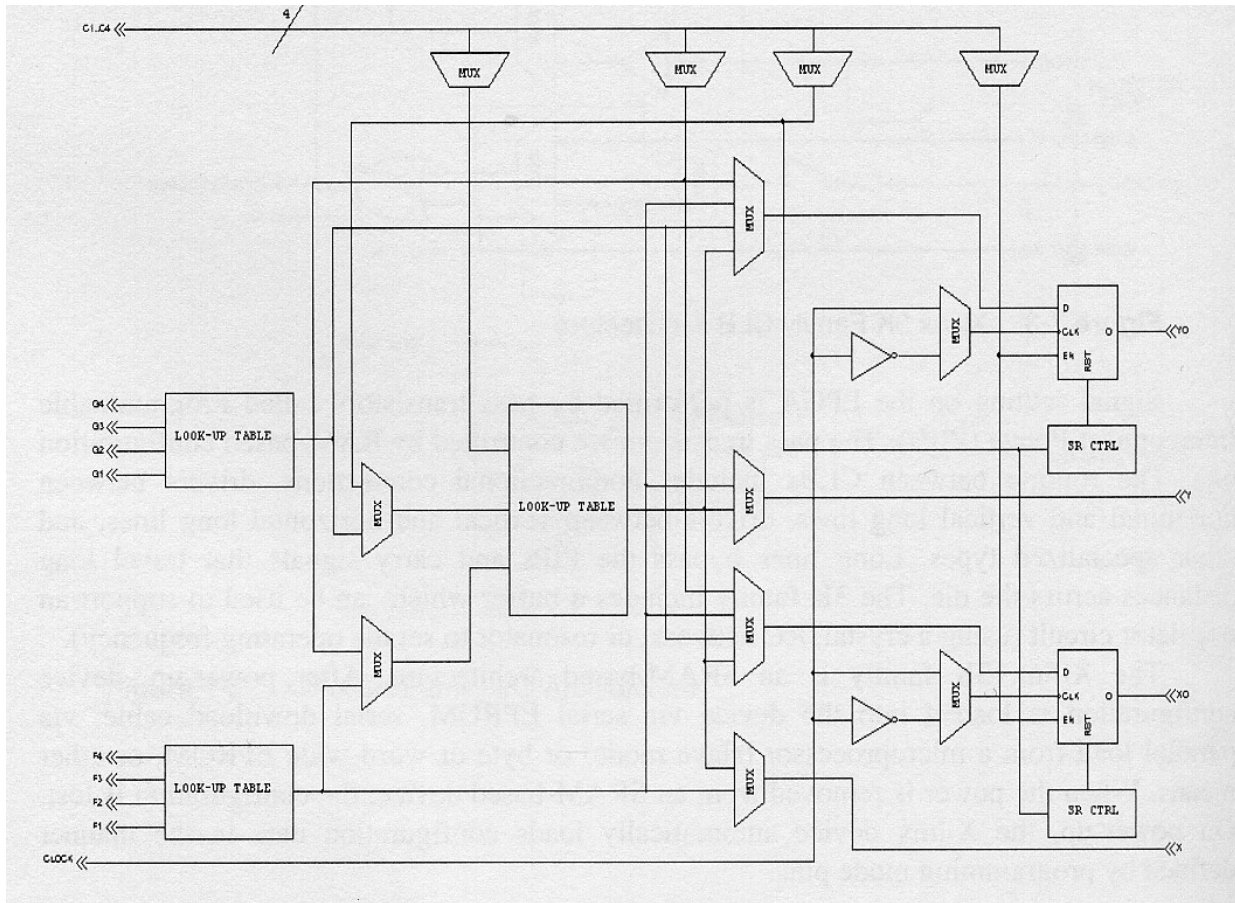
- 入力静電破壊保護回路
- 入力バッファ
- 入力がFFがあり、なし

XILINX XC3000 Family CLB



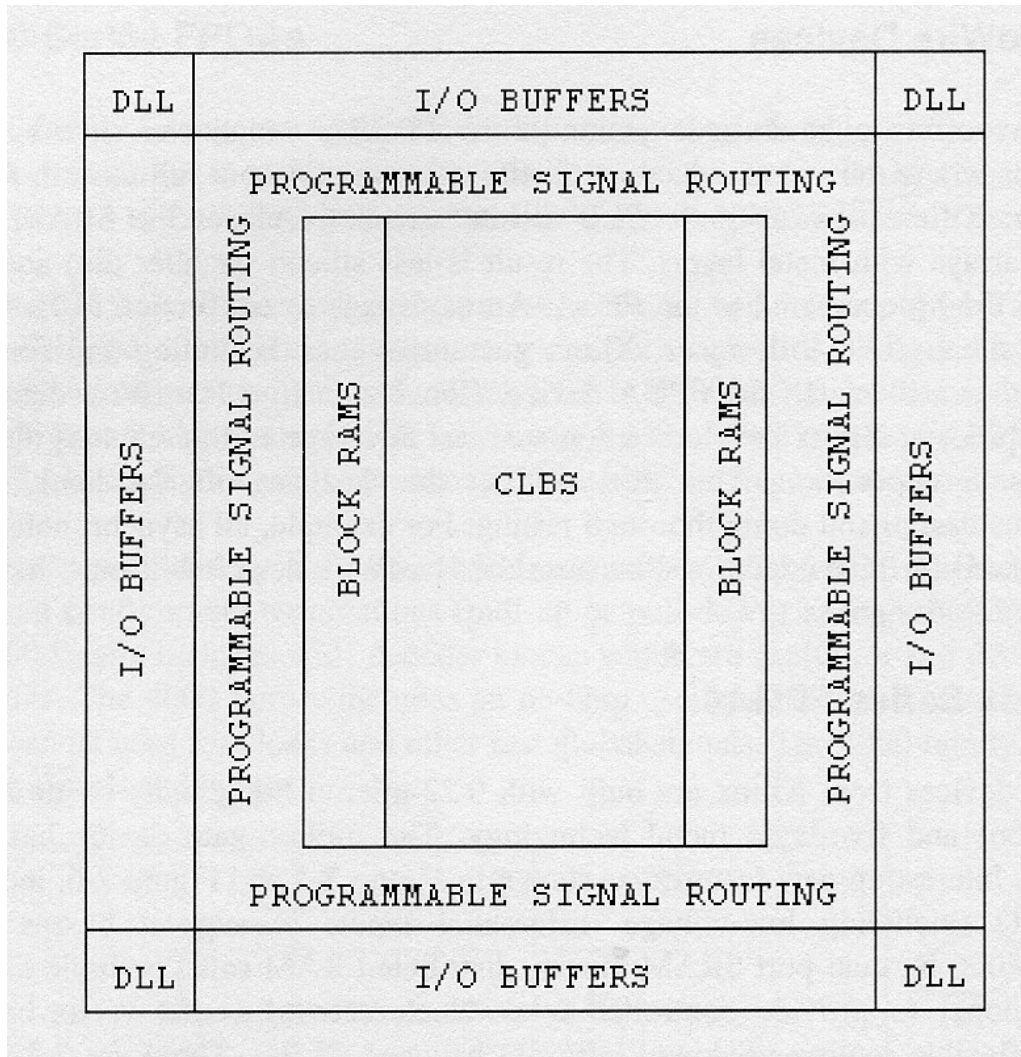
- CLB: Configurable Logic Block
- Look-up table for combinational logic
- D-Flip-Flops
- Look-up Table = RAM

XILINX XC4000 Family CLB



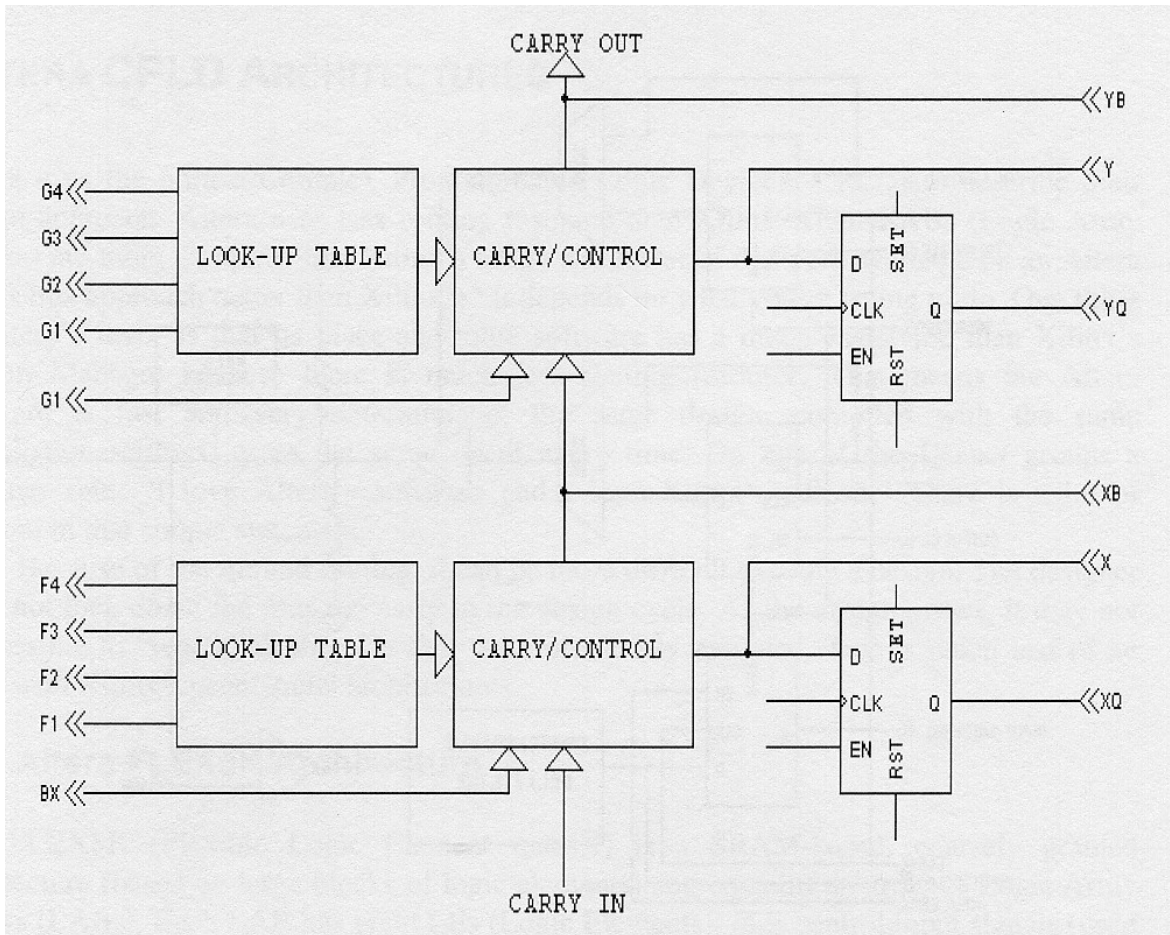
- Two Stage Look-up Table

XILINX VIRTEX FAMILY ARCHITECTURE



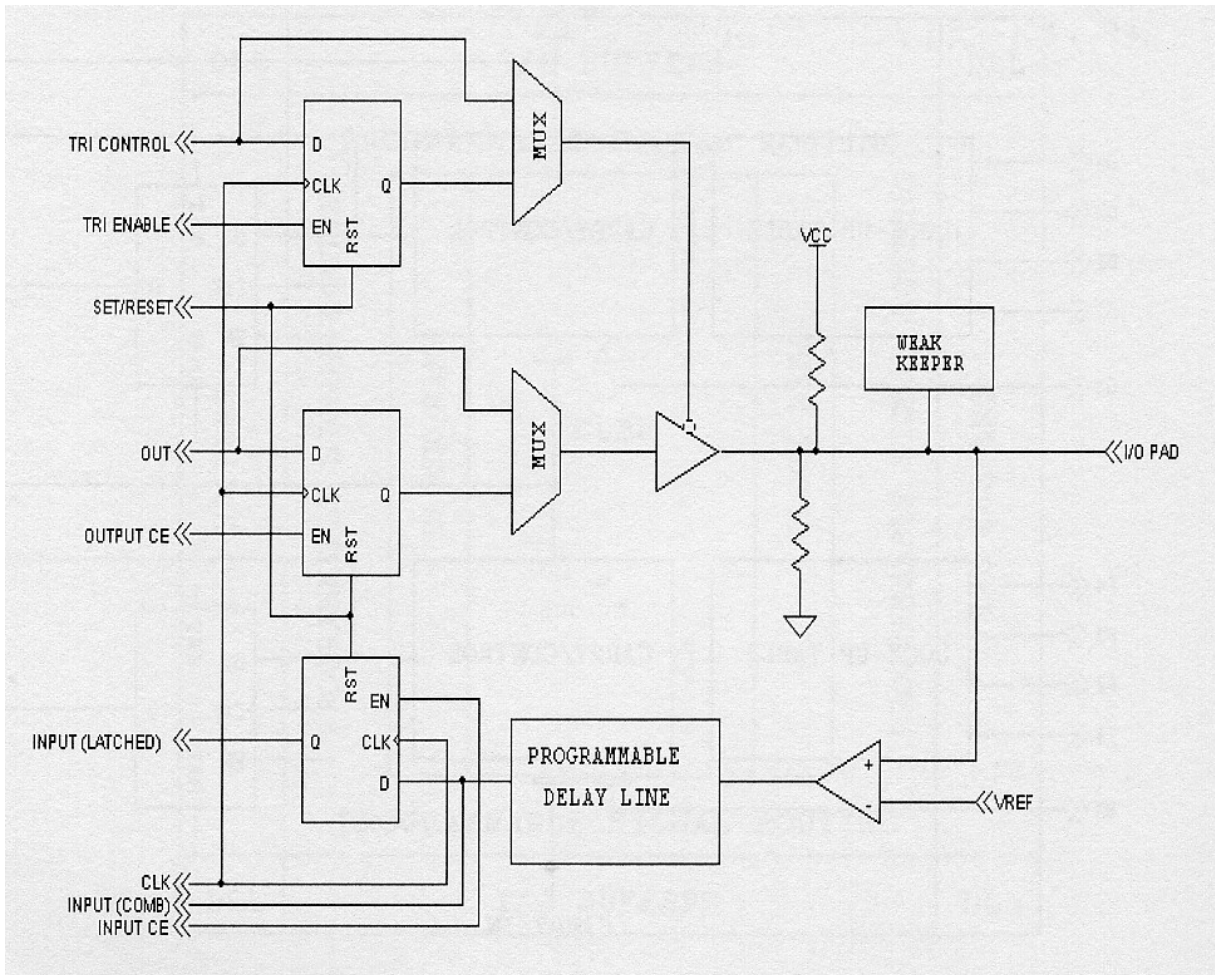
- CLB: Configurable Logic Block
- Many 4Kbit RAM BLOCK RAM
- DLL (Delay-Locked Loops) to provide controlled-delay clock networks
- Multiplier (18b x 18b) Macro also supported (not in figure)

XILINX VIRTEX FAMILY CLB



- CLB: Configurable Logic Block
- Many 4Kbit RAM BLOCK RAM
- DLL (Delay-Locked Loops) to provide controlled-delay clock networks

XILINX VIRTEX FAMILY I/O

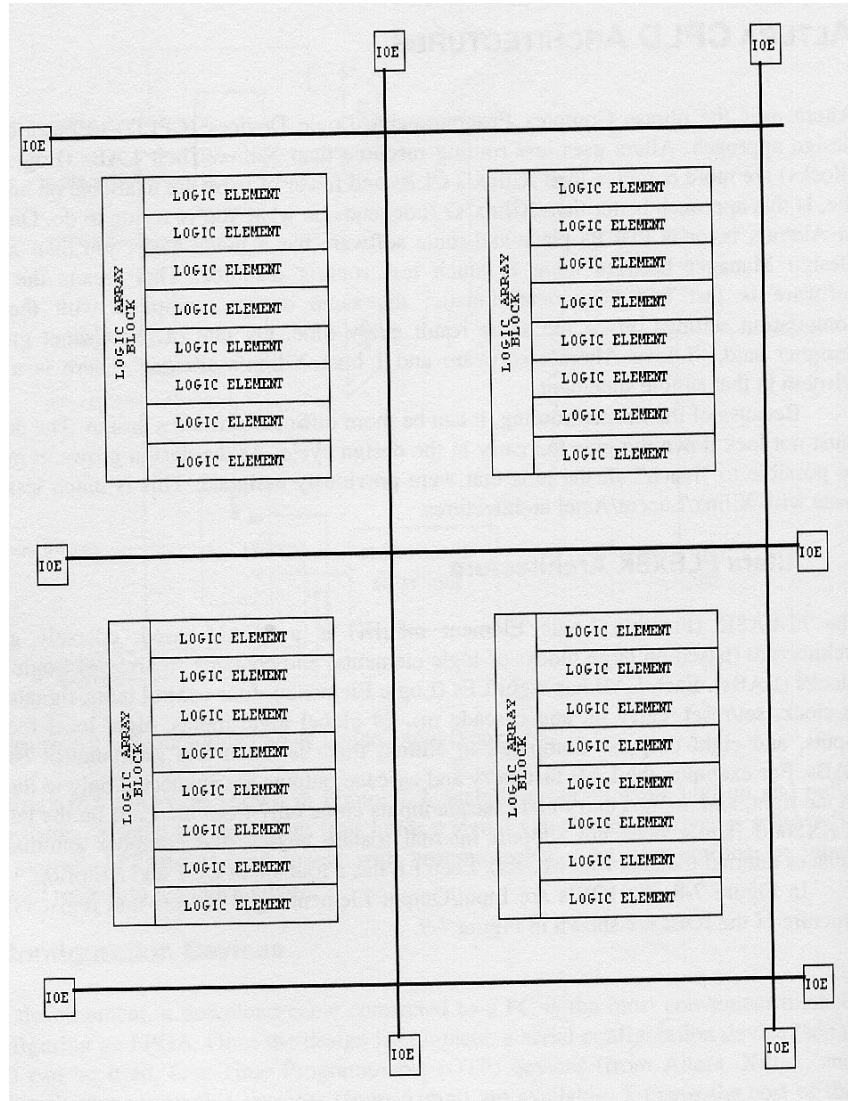


- Electronic Static Discharge Protection
- CMOS, TTL input
- Registered /Non Registered I/O

ALTERA CPLD

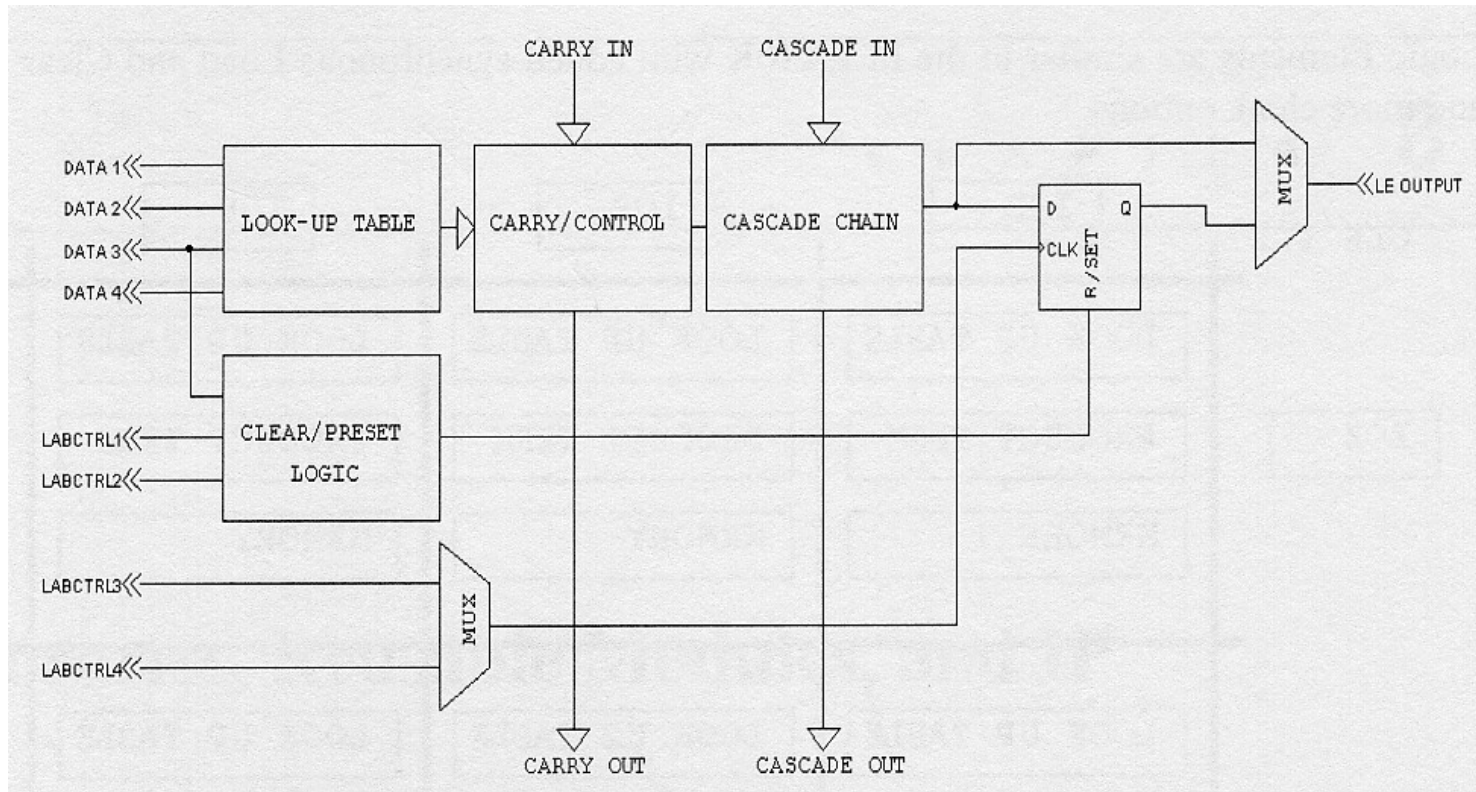
- Complex Programmable Logic Devices
- Altera uses less routing resource than Xilinx
- Altera's Logic Array Block (LAB) is more complex than Xilinx's CLBs. Then fewer LABs in on chip than Xilinx's CLBs.

ALTERA FLEX8000 ARCHITECTURE



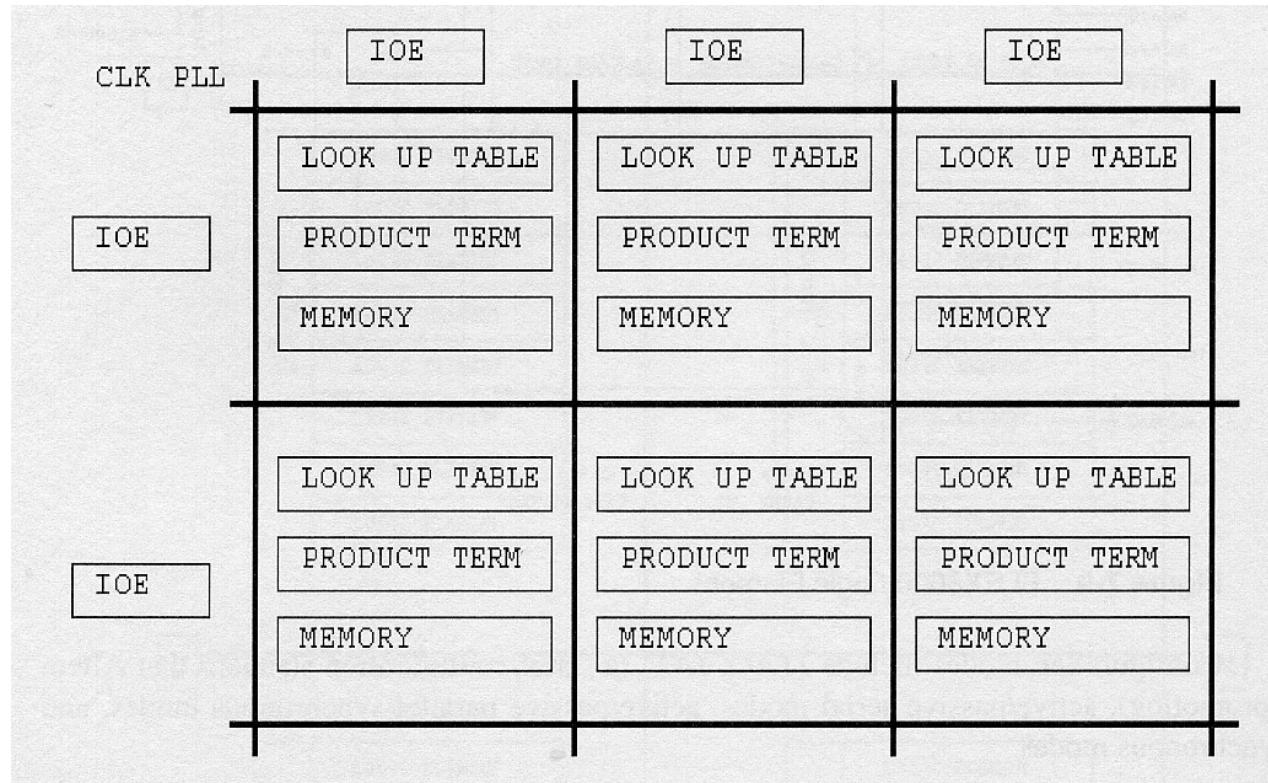
- Each LAB has eight LEs (Logic Elements) .

ALTERA FLEX8000 Logic Element (LE)



- CARRY, CASCADE signals

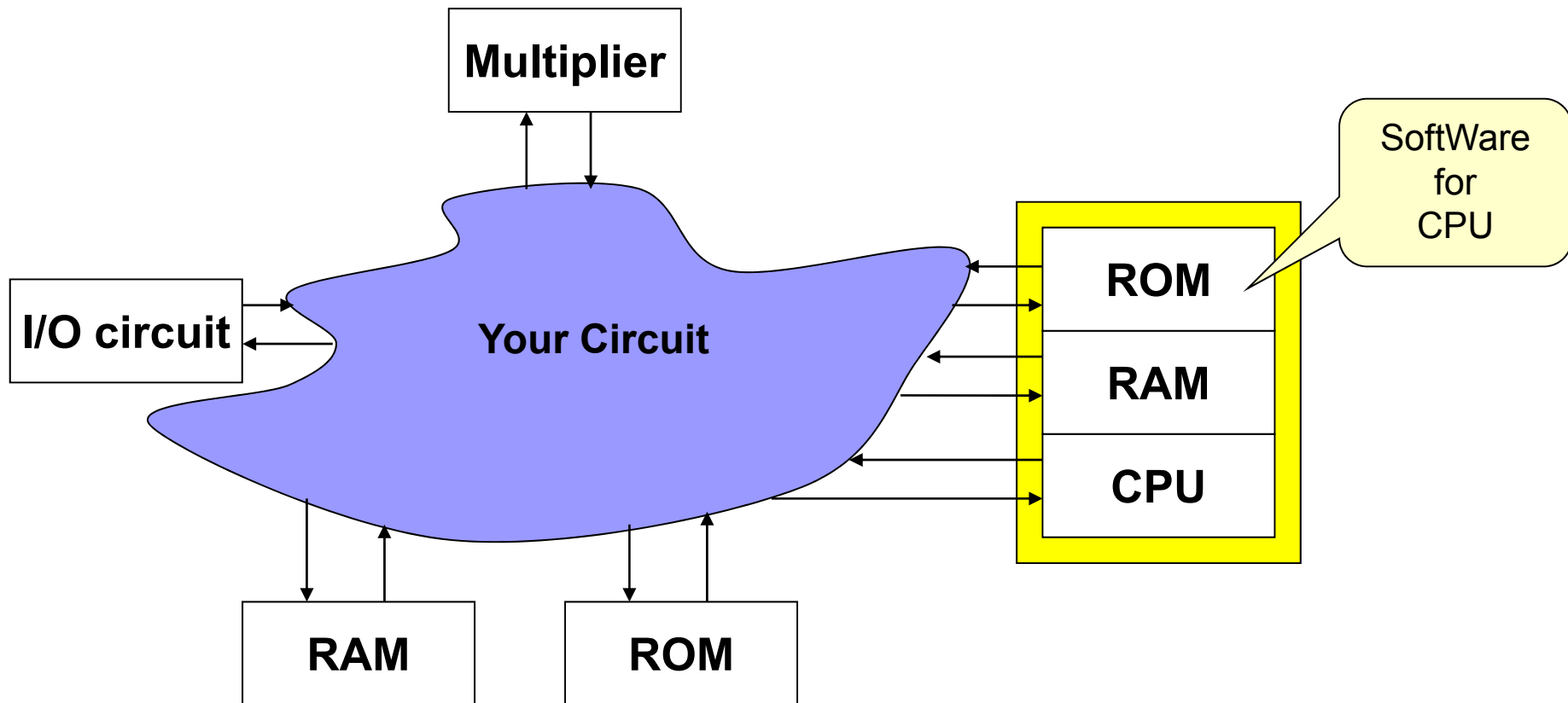
ALTERA APEX 20K ARCHITECTURE



- MANY RAMs
- Large Number Input combinational logic such as Multiplier
- Phase Locked Loop for Advanced Clock generation

How to Design your Digital System using Hard-Macro Blocks

- White Blocks might be available (Hardware pre-designed Blocks)



Hardware Description Languages (HDLs)

- HDL is a software programming language used to model the intended operation of a piece of hardware.
- Two level of modeling
 - Abstract behavior modeling
 - Hardware structure modeling:
Input to Circuit Synthesis
- Two kinds of Language
 - VHDL: Very High Speed Integrated Circuit hardware description language
 - Similar to Pascal Programming language
 - Verilog HDL:
 - Similar to C Programming language

HALF_ADDER example

VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;

entity HALF_ADDER is
    port ( A, B : in std_logic;
          S, C : out std_logic );
end HALF_ADDER;

architecture STRUCTURE of HALF_ADDER is
begin
    S <= A xor B;
    C <= A and B;
end STRUCTURE;
```

Verilog HDL

```
module HALF_ADDER (
    A, B,
    S, C
);

    input A, B;
    output S, C;

    assign S = A ^ B;
    assign C = A & B;
endmodule
```

Moving Average Filter by VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.STD_LOGIC_ARITH.all;
```

```
entity AVG4 is
  port(CLK : in std_logic;
        FMINPUT : in std_logic_vector(7 downto 0);
        AVGOOUT : out std_logic_vector(7 downto 0));
end AVG4;
```

architecture RTL of AVG4 is

```
signal FF1, FF2, FF3, FF4 : std_logic_vector(7 downto 0);
signal SUM : std_logic_vector(9 downto 0);
```

begin

-- SHIFT REGISTER

```
process(CLK) begin
  if (CLK'event and CLK = '1') then
    FF1 <= FMINPUT;
    FF2 <= FF1;
    FF3 <= FF2;
    FF4 <= FF3;
  end if;
end process;
```

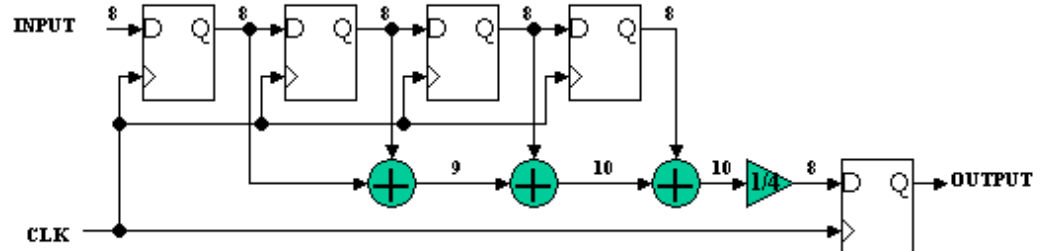
-- SUM

```
SUM <= signed(FF1(7)&FF1(7)&FF1)+signed(FF2(7)&FF2(7)&FF2)
      +signed(FF3(7)&FF3(7)&FF3)+signed(FF4(7)&FF4(7)&FF4);
```

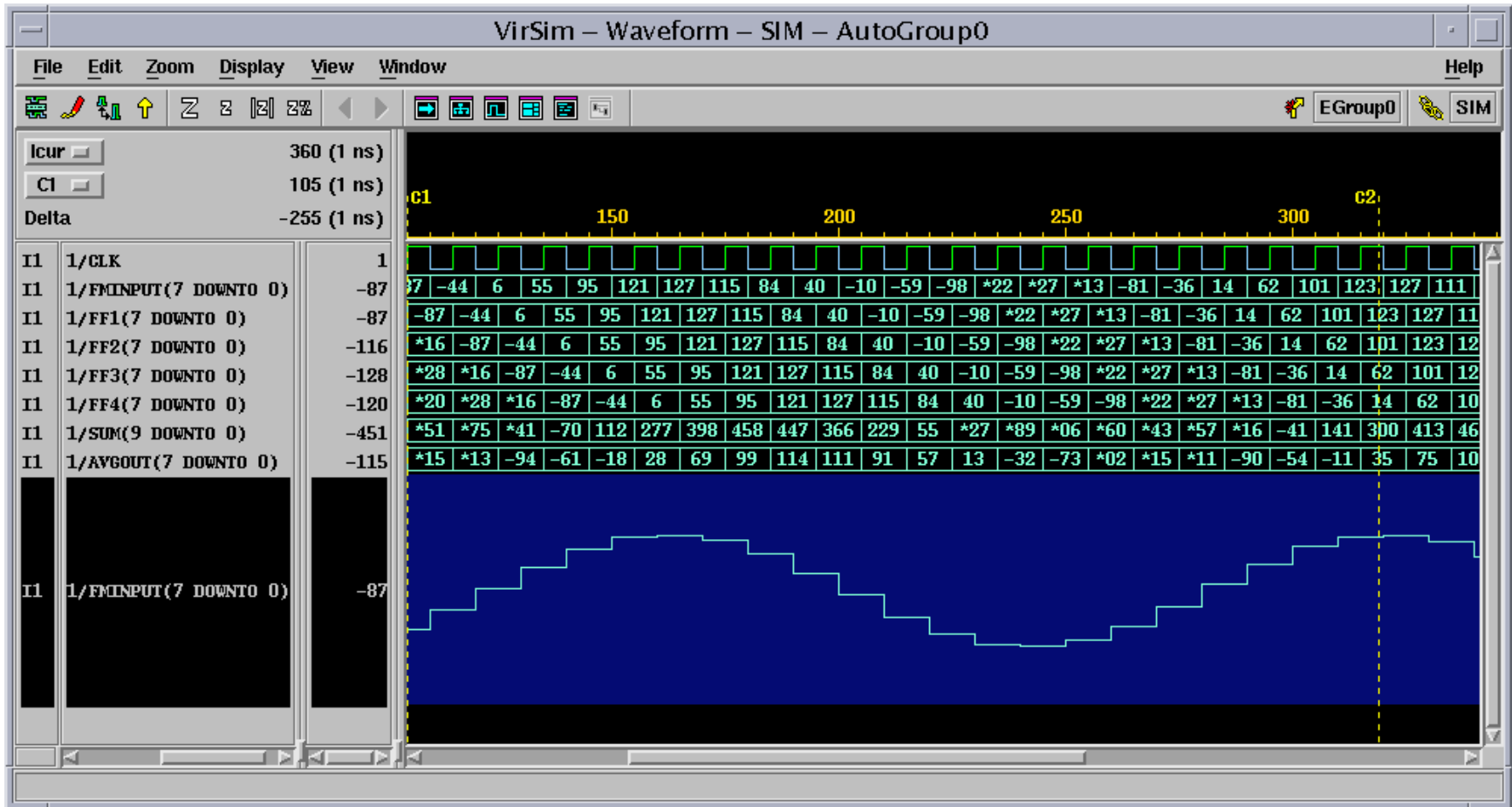
-- DIVIDE BY 4 (SHIFT 2 bit), OUTPUT REGISTER

```
process(CLK) begin
  if (CLK'event and CLK='1') then
    AVGOOUT <= SUM(9 downto 2);
  end if;
end process;
```

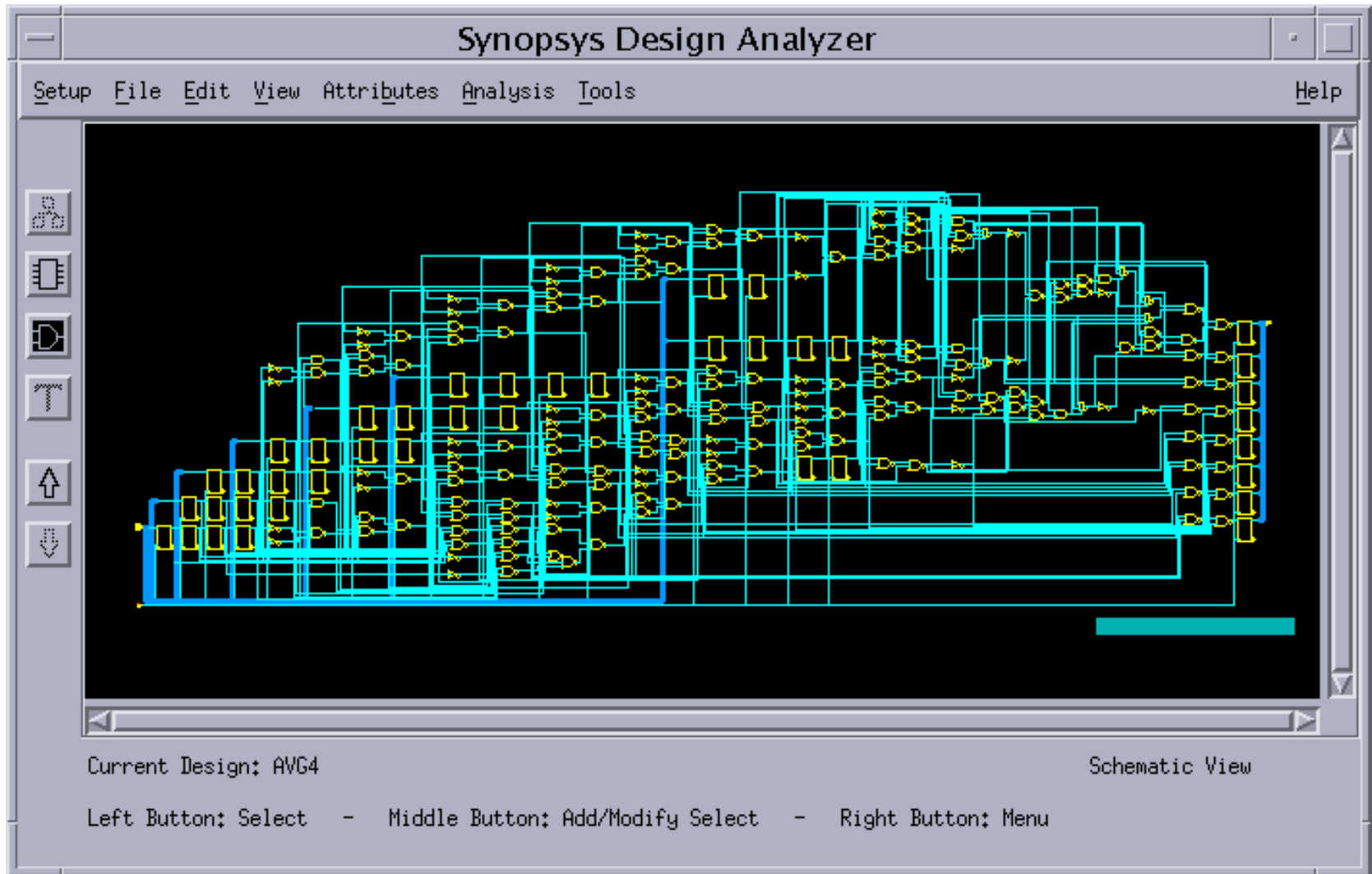
end RTL;



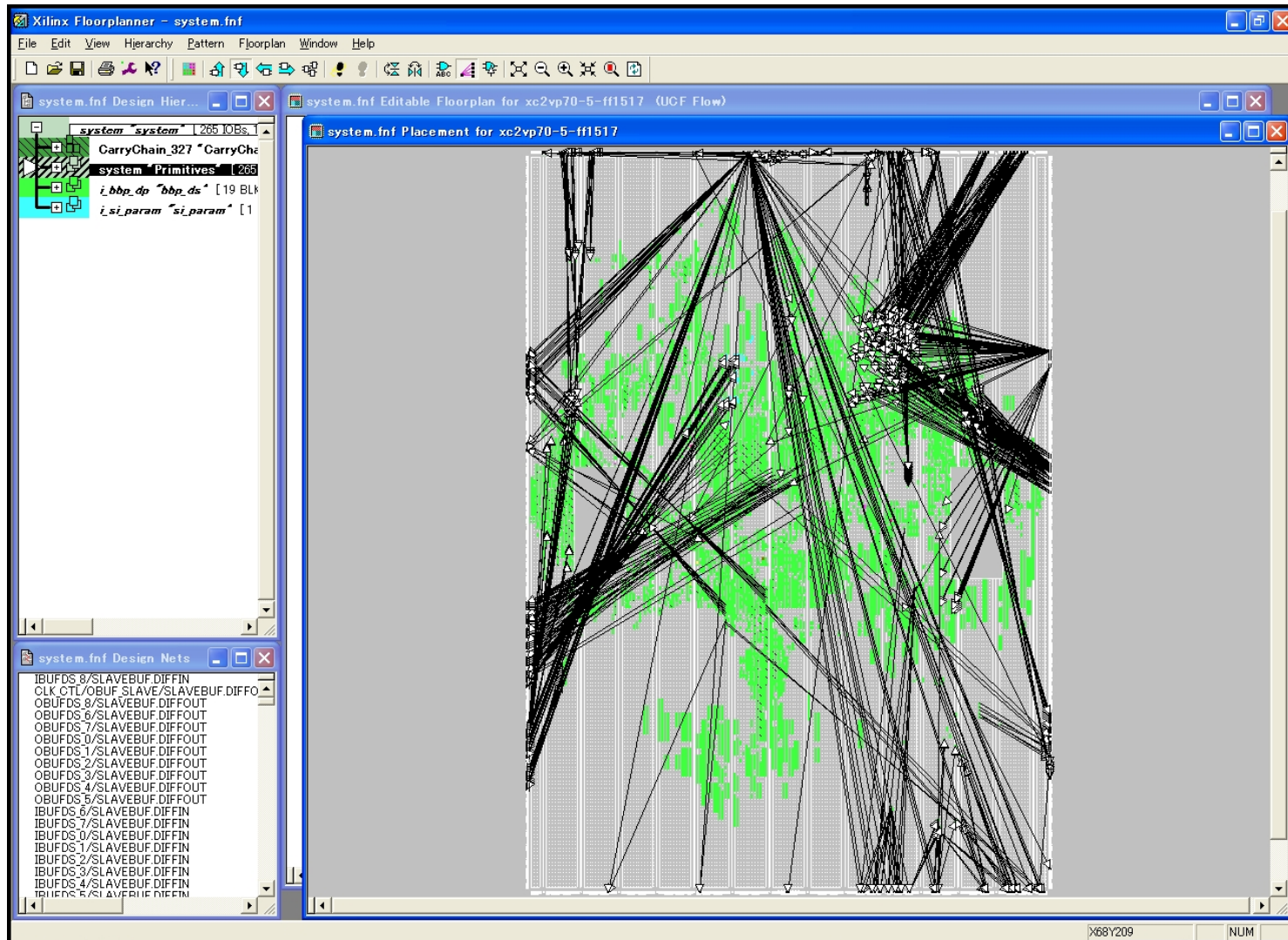
Simulated Waveform



Synthesized Circuit



XILINX VP70 FLOORPLAN



HW3

- 以下の課題に対して回答レポートを作成せよ
- 採点基準(各問に対してA4 1ページ程度のレポートを作成せよ)
 1. DRAM, SRAM, ROM, PROM(Flash)の各メモリの1ビットの記憶をする回路を調査して、報告せよ
 2. 以下の事項についてさらに詳細に調査報告せよ
プリント基板上の配線の一種として「マイクロストリップライン」と呼ばれるが、この配線での信号の伝搬スピードはどの程度か？
構造と、伝搬スピードを調査して報告せよ
 3. 右の真理値表を実現する組み合わせ回路を
ゲート方式、テーブル方式の2種類で実現せよ

A	B	C	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1