

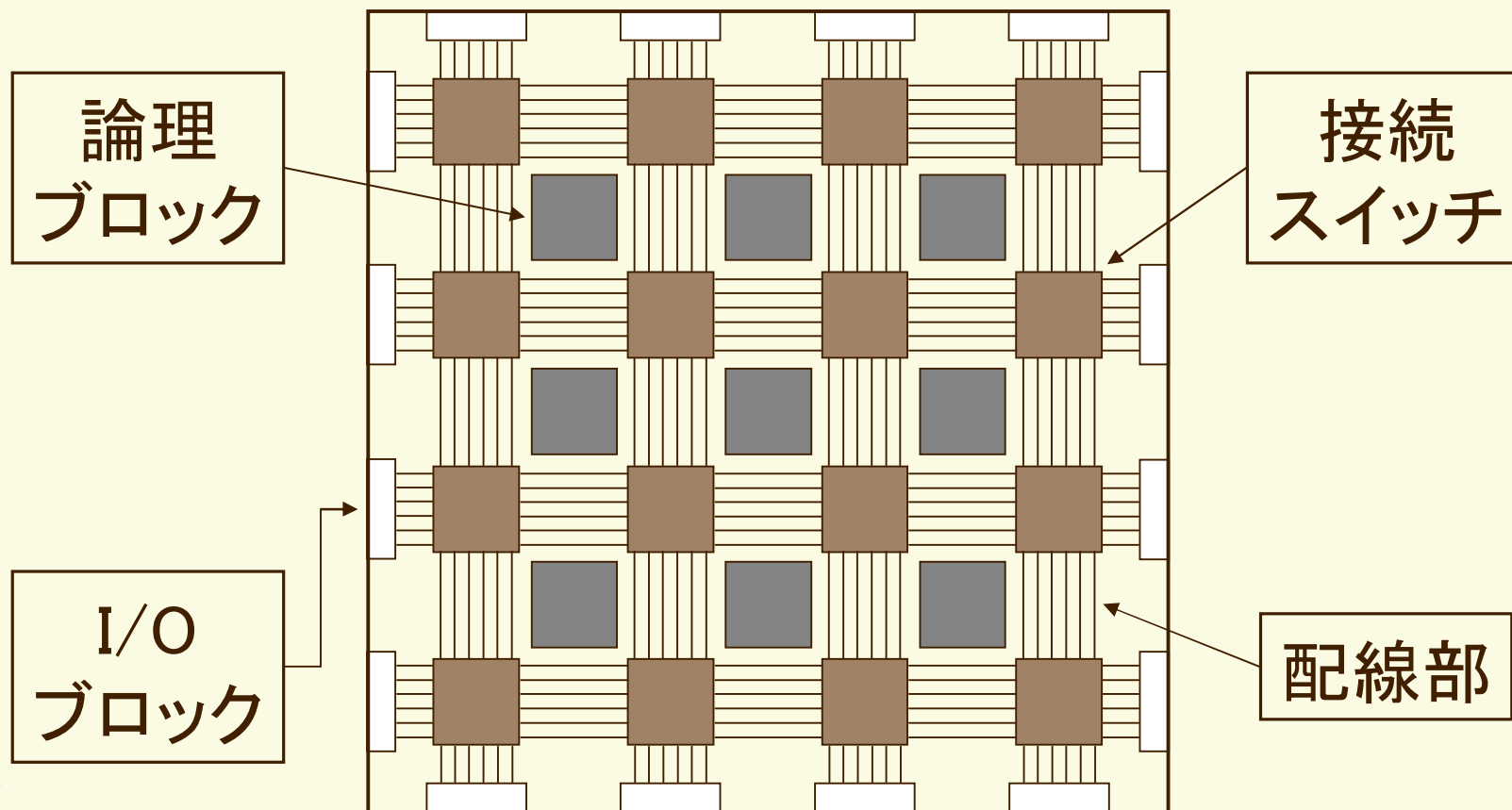
本講座の内容

- ① FPGAの概要
- ② LM4550 Audio Codec の概要
- ③ LM4550 ドライバの概要

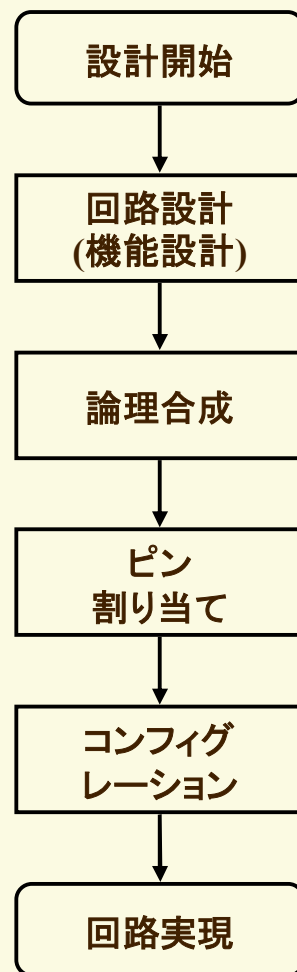
FPGA

- ✓ FPGA (field programmable gate array)
 - ◆ 汎用LSIとASICの中間に位置するIC
 - ◆ ユーザが所望する機能を自分で自由にプログラムできるIC

FPGAの内部構造(模式図)



FPGAへの回路実装手順



1. **回路設計** : FPGAに実装する回路を設計する
2. **論理合成** : 設計した回路をFPGA用の設計ツールを用いて論理合成する
3. **ピン割り当て** : 設計した回路の入出力ポートとFPGAの端子(ピン)の対応を付ける
4. **コンフィグレーション** : コンフィグレーションデータを生成し、FPGAに書き込む

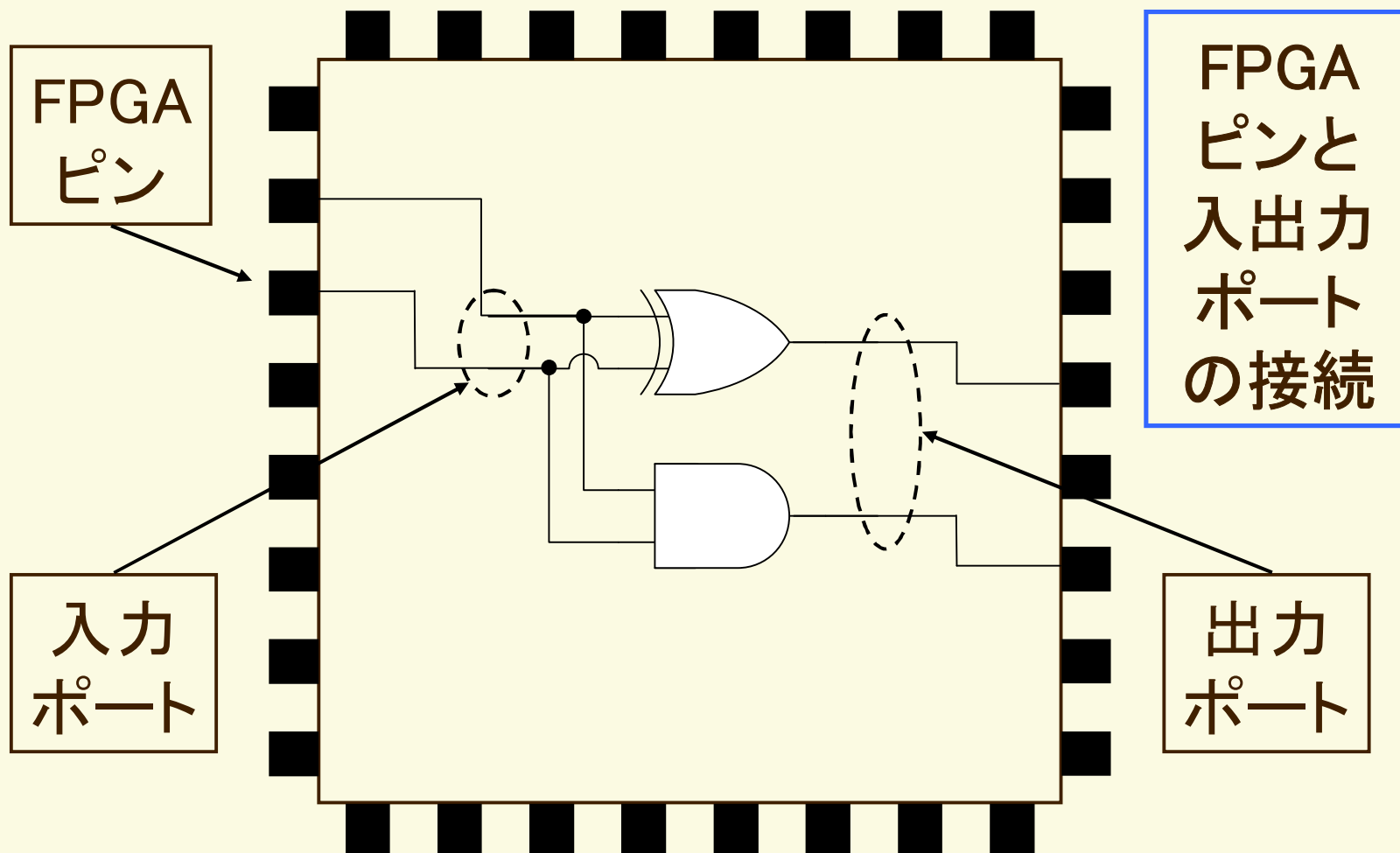
回路設計

- ✓ 回路設計は、以下のいずれかの方法によって行う（ツールにより異なる）
 - 回路図を描画する
 - VHDLで記述する
 - Verilog HDLで記述する

論理合成

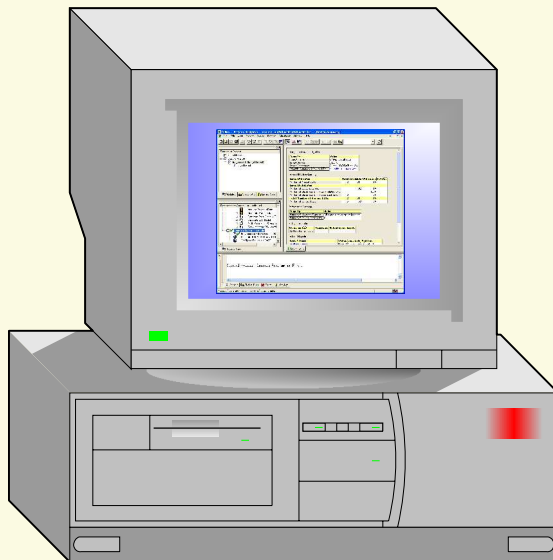
- ✓ FPGA向けの論理合成をする場合、専用の設計ツールを用いる（無償ツール）
 - XILINX社のFPGAの場合
ISE WebPACK
 - ALTERA社のFPGAの場合
Quartus II Web Edition

ピン割り当て

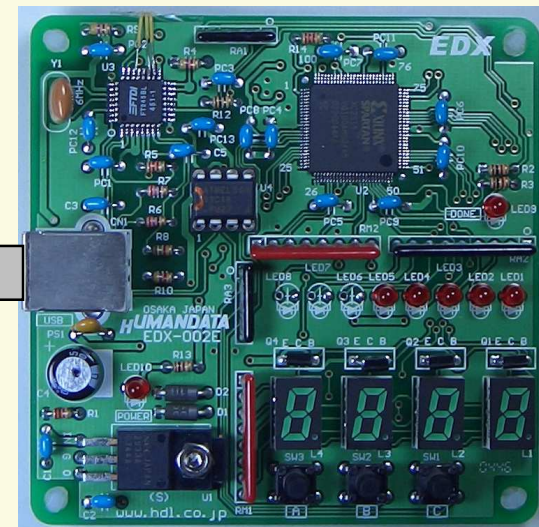


コンフィグレーション

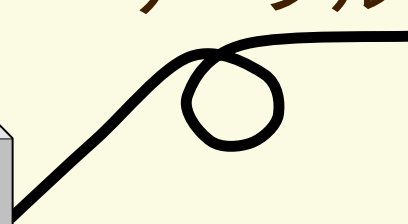
PC



FPGAボード



パラレル
ケーブル



コンフィグレーションデータをFPGAに転送する

合成結果とピン割り当ての情報

本講座の内容

- ① FPGAの概要
- ② LM4550 Audio Codec の概要
- ③ LM4550 ドライバの概要

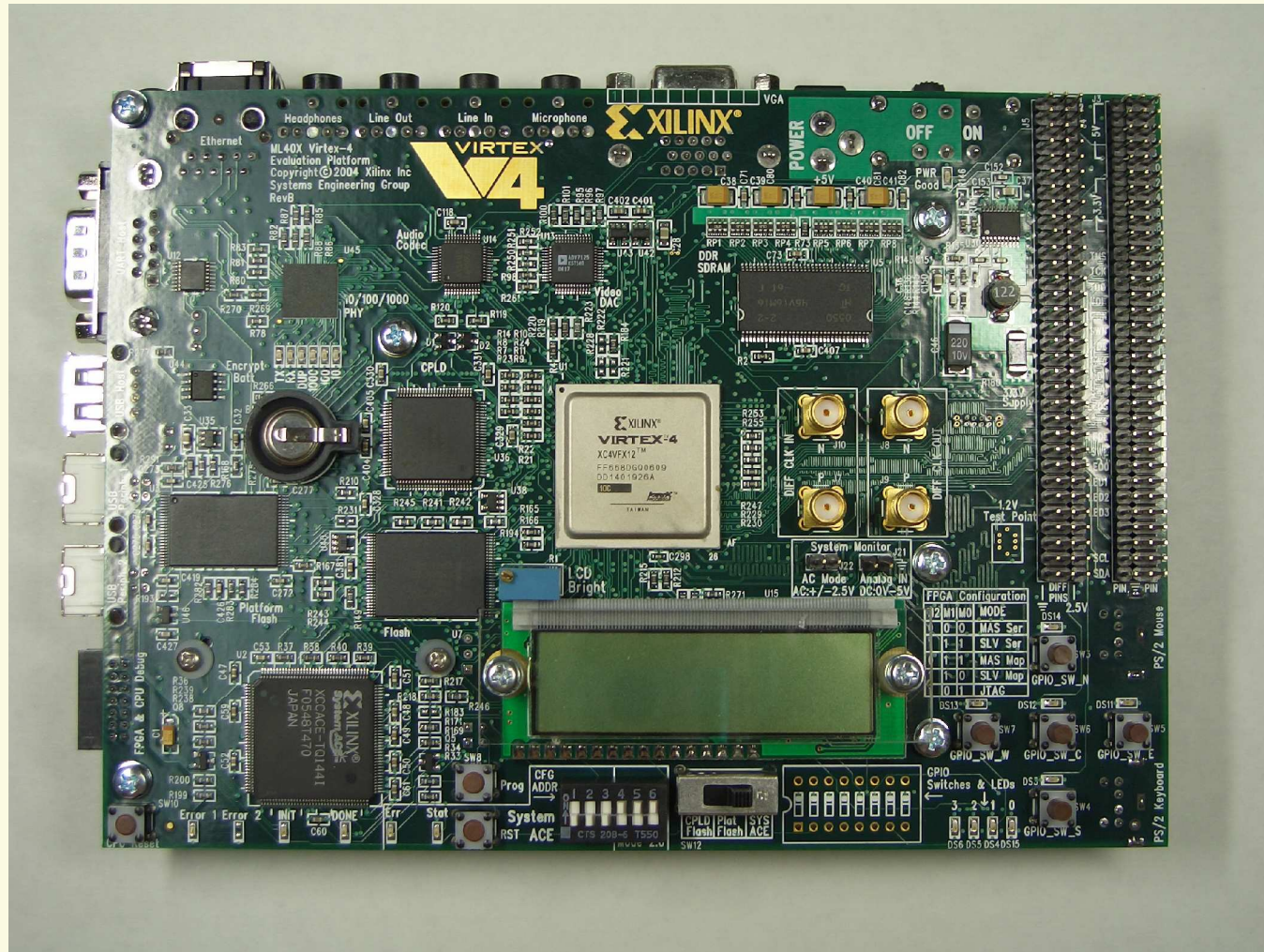
FPGAボードの概要

✓ Xilinx, Inc. 製

ML403 Evaluation Platform

- FPGA : Xilinx Virtex-4
- クロック : 100 [MHz] オシレータ
- メモリ : 64MB DDR SDRAM 他
- コネクタ : PS/2, USB, オーディオ 他
- ディスプレイ : 16 × 2 キャラクタLCD
- コンフィグレーション : パラレル(JTAG)

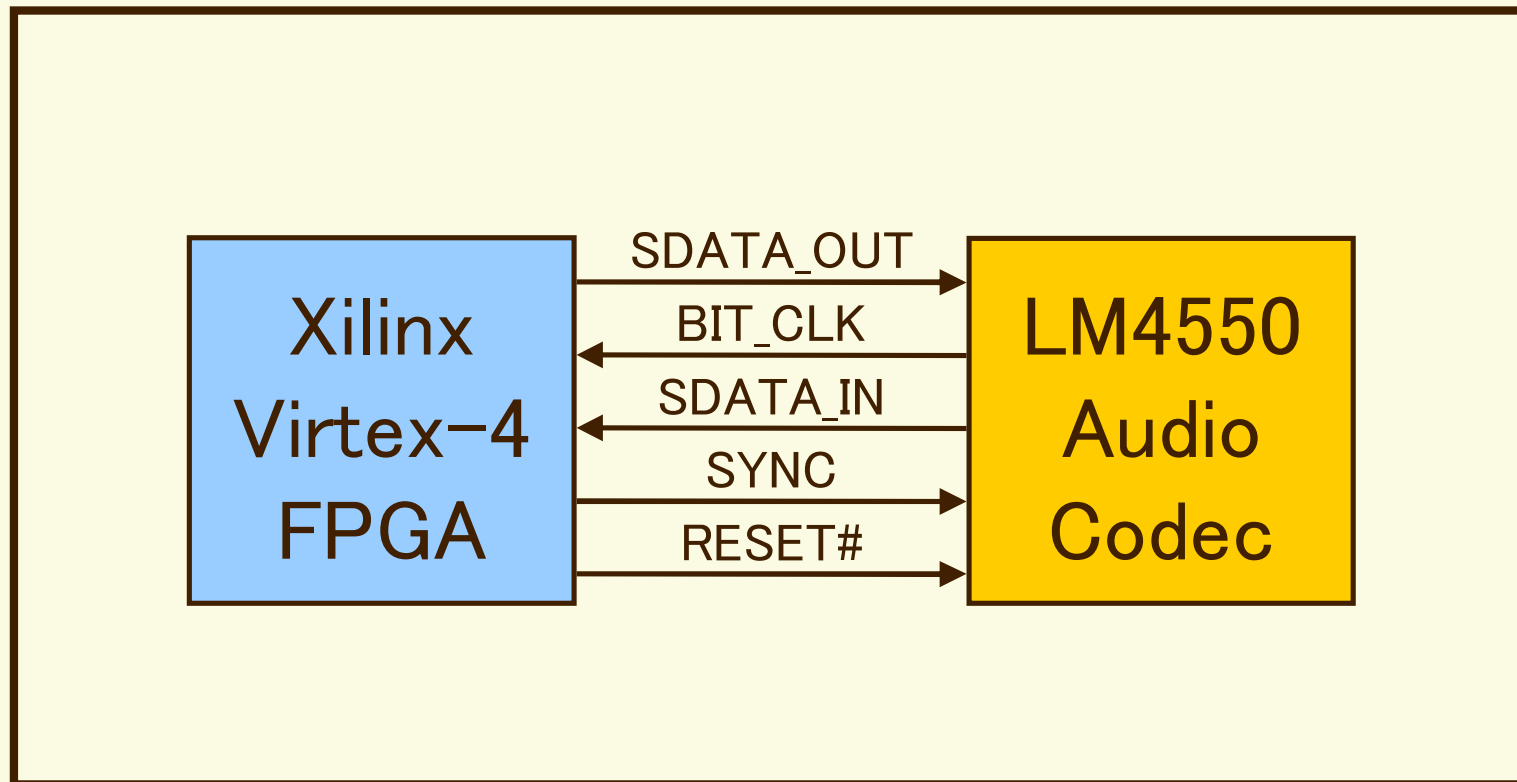
FPGAボードの概観



仕様書 P. 2, 7 ~ 9, 12, 13 および接続図 参照

FPGAとCodecの接続

FPGAボード ML403



LM4550のデータ転送プロトコル

- ✓ LM4550のデータ転送は、フレームと呼ばれる単位で行われる
 - 各フレームは、256clkの長さを持ち、さらに、13個のスロットに分割される
 - Slot0 : Tag フェーズ、16clk
 - Slot1~Slot12 : Data フェーズ、各20clk
 - ドライバ(FPGA) → LM4550 : SDATA_OUT
 - LM4550 → ドライバ(FPGA) : SDATA_IN

演習で使用するスロット

✓ SDATA_OUT

➤ Slot0 ~ Slot4 を使用する

- ・ ドライバは、これらのスロットの情報を、送信フレームに設定してから出力する必要がある

✓ SDATA_IN

➤ Slot3, Slot4 を使用する

- ・ ドライバは、これらのスロットの情報を、受信フレームから取り出す必要がある

SDATA_OUT の Slot0

- ✓ フレーム全体の情報を示すタグ
 - 本演習では、常に
”1111_1000_0000_0000” (2進数)
を設定する

SDATA_OUT の Slot1, 2

- ✓ LM4550に対する命令を保持するスロット
 - Slot1 : LM4550の内部レジスタのアドレス
 - Slot2 : そのレジスタに格納するデータ
 - 本演習では、以下のレジスタのみ用いる
 - Master Volume (アドレス : 02h)
 - PCM Out Volume (アドレス : 18h)
 - Record Select (アドレス : 1Ah)
 - Record Gain (アドレス : 1Ch)

SDATA_OUT の Slot3, 4

- ✓ PCMデータを保持するスロット
 - Slot3 : 左チャンネルのPCMデータ
 - Slot4 : 右チャンネルのPCMデータ
 - LM4550の D/A コンバータの精度は 18 ビットなので、各スロットの上位 18 ビットにPCMデータを保持し、下位 2 ビットは 0 とする

SDATA_IN の Slot3, 4

- ✓ PCMデータを保持するスロット
 - Slot3 : 左チャンネルのPCMデータ
 - Slot4 : 右チャンネルのPCMデータ
 - LM4550の A/D コンバータの精度は 18 ビットなので、各スロットの上位 18 ビットにPCMデータが格納され、下位 2 ビットは 0 となっている

BIT_CLK 信号

- ✓ LM4550が生成する 12.288 [MHz] クロック
 - LM4550には、24.576 [MHz] の水晶発振子が接続されており、これを分周して出力している
 - ドライバは、この BIT_CLK を使用して、同期式回路として設計されている

SYNC 信号

- ✓ ドライバが生成するフレーム同期信号
 - SDATA_OUT の Slot0 の期間中 SYNC = 1 とする必要がある
 - LM4550は、この SYNC 信号に同期させて、SDATA_IN を出力する

RESET# 信号

✓ ドライバが生成するLM4550の初期化信号

➤ RESET# = 0 で、LM4550が初期化される

➤ 本演習では、常に

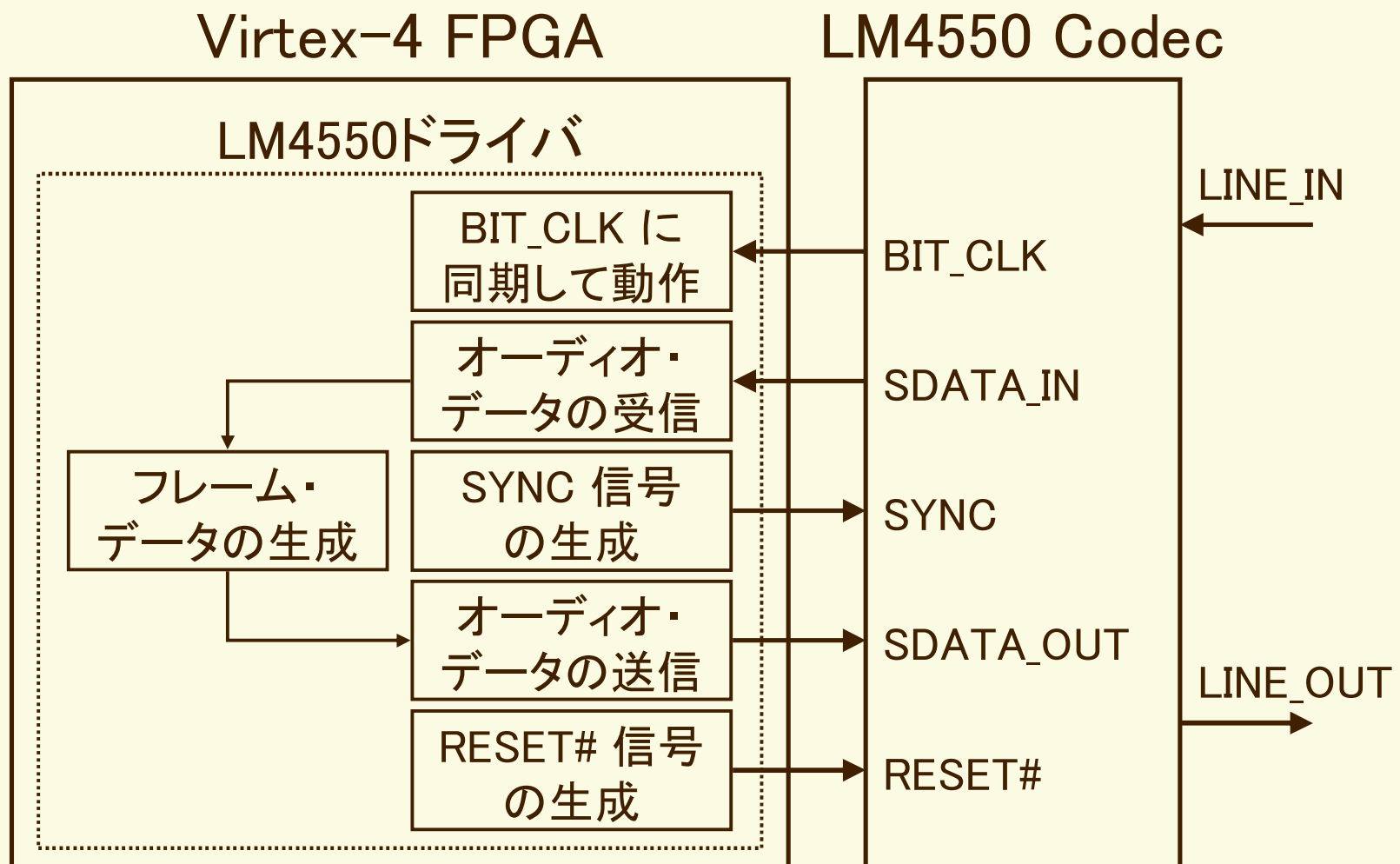
RESET# = 1

とする

本講座の内容

- ① FPGAの概要
- ② LM4550 Audio Codec の概要
- ③ LM4550 ドライバの概要

LM4550ドライバの動作概要



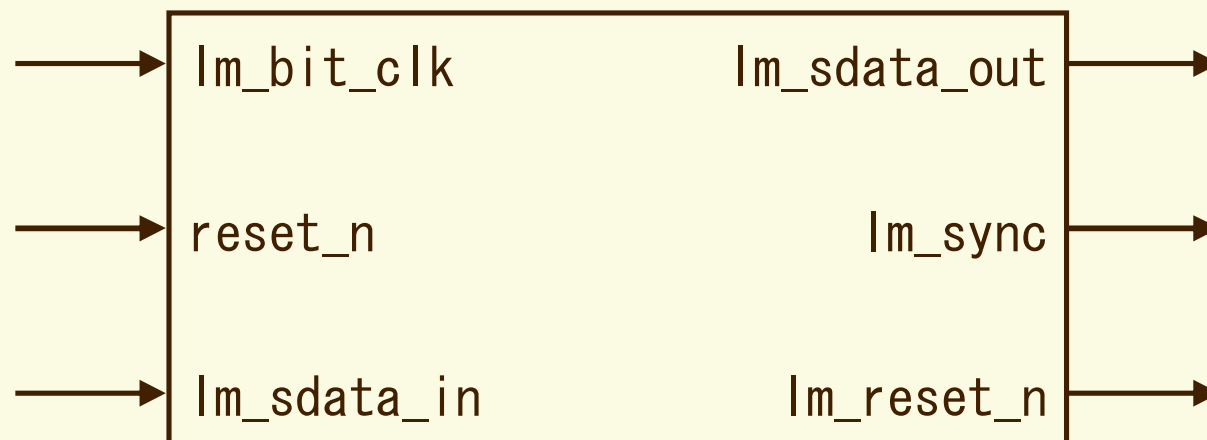
設計済みドライバの構成

✓ 階層構造とファイル名

	第一階層	第二階層	第三階層
ファイル名 (エンティティ名) テストベンチの有無	codec_drv_top.vhd (codec_drv_top) 無し	codec_drv.vhd (codec_drv) 有り	frame_counter.vhd (frame_counter) 有り
			frame_out_ctrl.vhd (frame_out_ctrl) 無し
			serial_parallel_conv.vhd (serial_parallel_conv) 有り
			slot_in_ctrl.vhd (slot_in_ctrl) 無し
			slot_out_ctrl.vhd (slot_out_ctrl) 無し
			parallel_serial_conv.vhd (parallel_serial_conv) 有り

codec_drv_top の概要 (1)

✓ インターフェース



✓ 機能概要

ドライバ本体である `codec_drv` コンポーネントに、音量データ(`m_volume`)を渡す回路

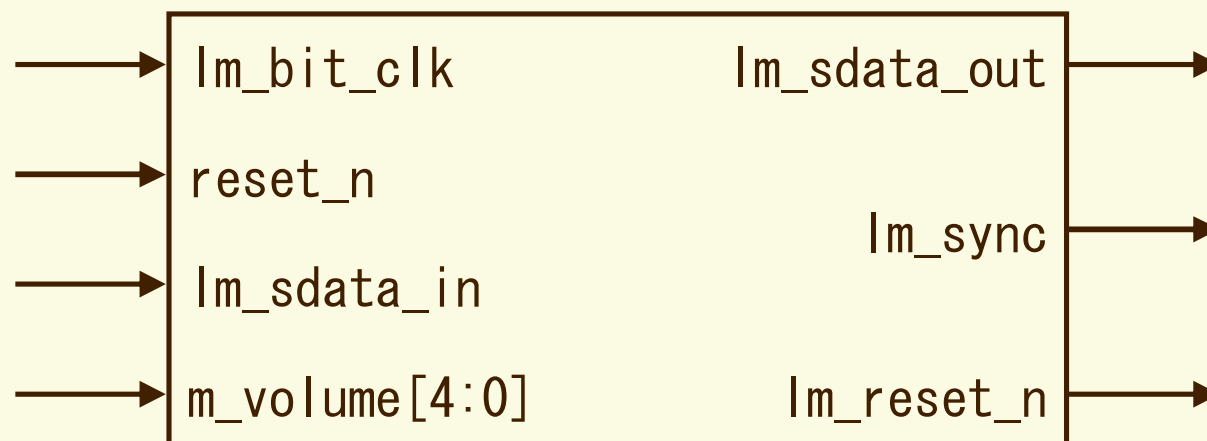
codec_drv_top の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
lm_bit_clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset_n	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
lm_sdata_in	IN	1	LM4550から出力されるフレームのシリアル・データ
lm_sdata_out	OUT	1	LM4550に出力するフレームのシリアル・データ
lm_sync	OUT	1	LM4550に出力する SYNC 信号 (Slot0 の期間中 1 となる信号)
lm_reset_n	OUT	1	LM4550の初期化信号 (常に 1 を出力)

codec_drv の概要 (1)

✓ インターフェース



✓ 機能概要

LM4550へSYNC信号(`Im_sync`)を送信し、フレームデータを送受信する回路(ドライバ本体)

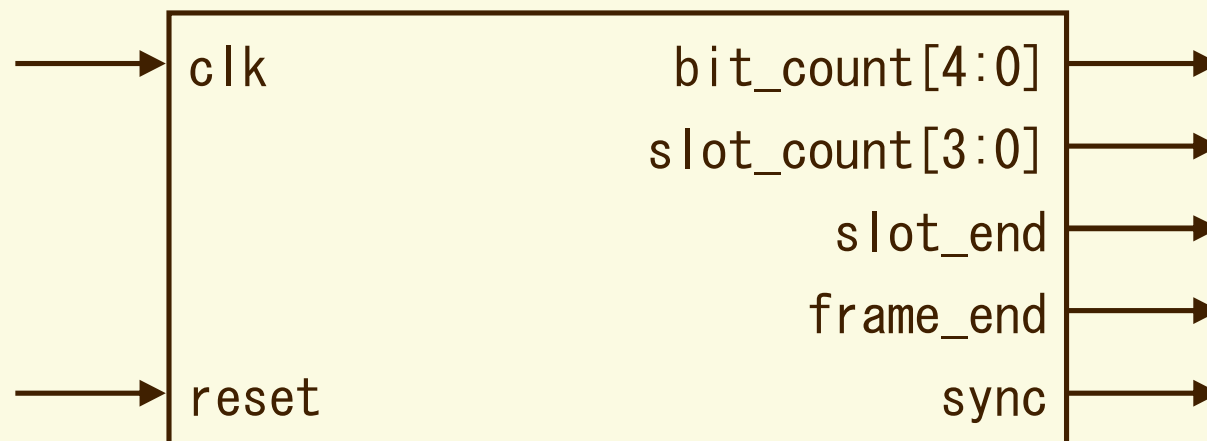
codec_drv の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
lm_bit_clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset_n	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
lm_sdata_in	IN	1	LM4550から出力されるフレームのシリアル・データ
m_volume	IN	5	音量データ (減衰量を指定)
lm_sdata_out	OUT	1	LM4550に出力するフレームのシリアル・データ
lm_sync	OUT	1	LM4550に出力する SYNC 信号 (Slot0 の期間中 1 となる信号)
lm_reset_n	OUT	1	LM4550の初期化信号 (常に 1 を出力)

frame_counter の概要 (1)

✓ インターフェース



✓ 機能概要

スロット数およびスロット内のclk数をカウントする回路

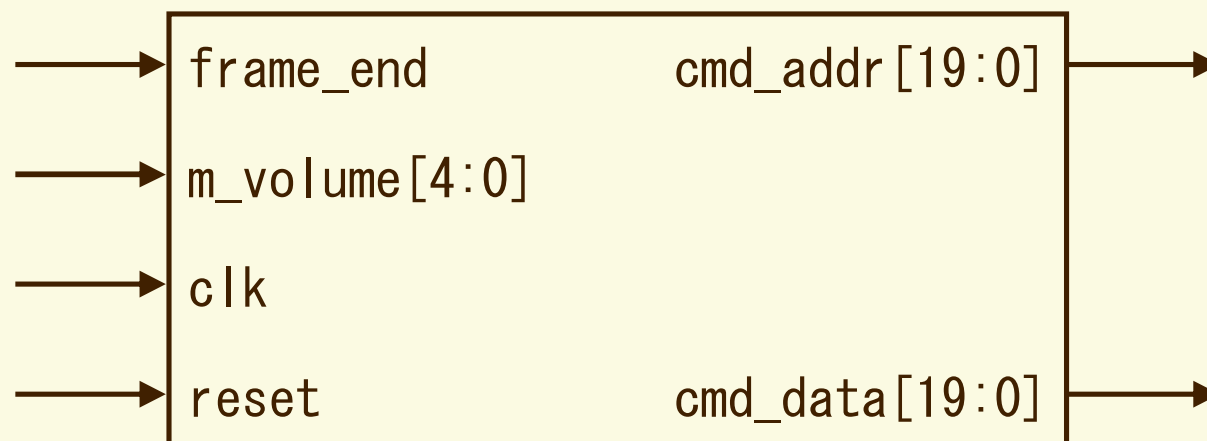
frame_counter の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
bit_count	OUT	5	スロット内の現在のビット位置を表す信号 (0 = "00000" から 19 = "10011" までの値をとる信号)
slot_count	OUT	4	フレーム内の現在のスロット番号を表す信号 (Slot0 から Slot12 に対応する 0 = "0000" から 12 = "1100" までの値をとる信号)
slot_end	OUT	1	LM4550に出力するフレーム内の各スロットの終了位置を表す信号 (各スロットの最終ビットで 1 となる信号)
frame_end	OUT	1	LM4550に出力するフレームの終了位置を表す信号 (フレームの最終ビットで 1 となる信号)
sync	OUT	1	LM4550に出力する SYNC 信号 (Slot0 の期間中 1 となる信号)

frame_out_ctrl の概要 (1)

✓ インターフェース



✓ 機能概要

Record Select, Record Gain, PCM Out Volume, Master Volume を順に設定する回路

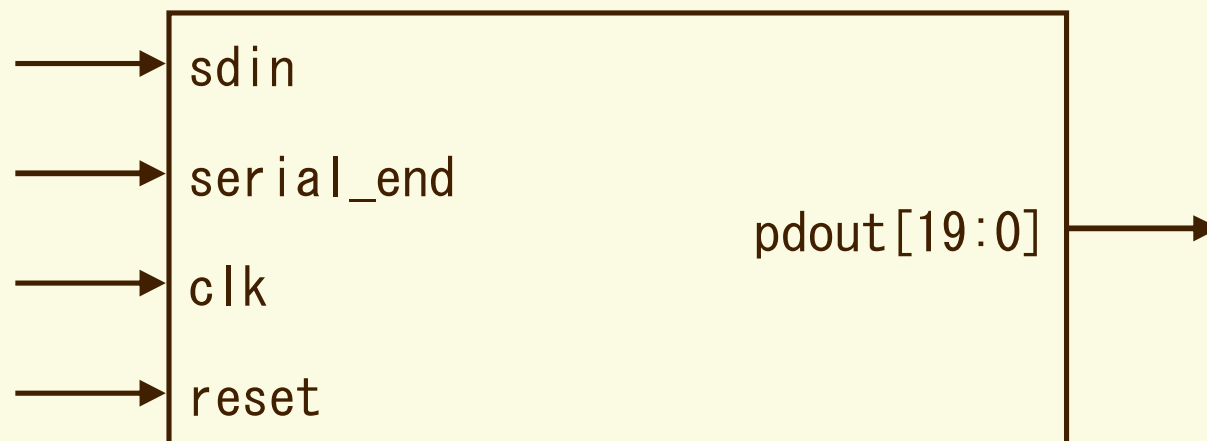
frame_out_ctrl の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
frame_end	IN	1	LM4550に出力するフレームの終了位置を表す信号（フレームの最終ビットで 1 となる信号）
m_volume	IN	5	音量データ（減衰量を指定）
clk	IN	1	LM4550が生成する 12.288 [MHz] クロック（ポジティブエッジ動作）
reset	IN	1	FPGAボード上のCPUリセットボタン（押すとリセット）
cmd_addr	OUT	20	LM4550の内部レジスタのアドレス
cmd_data	OUT	20	LM4550の内部レジスタに格納するデータ

serial_parallel_conv の概要 (1)

✓ インターフェース



✓ 機能概要

シリアル・データをパラレル・データに変換する
回路

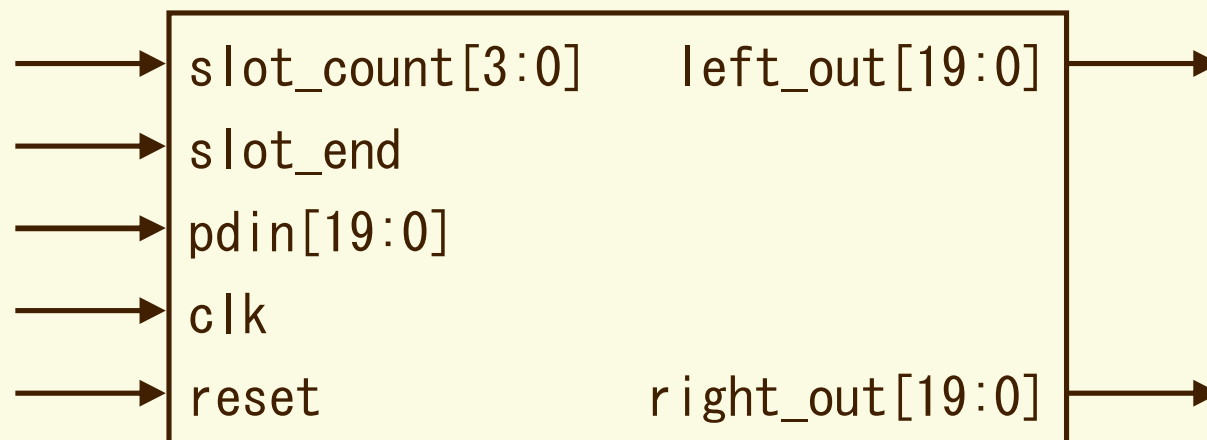
serial_parallel_conv の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
sdin	IN	1	LM4550から受信したシリアル・データ
serial_end	IN	1	シリアル→パラレル変換の区切りを表す信号 (slot_end 信号を遅延させた信号)
clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
pdout	OUT	20	LM4550から受信したシリアル・データを、スロット単位でパラレル・データに変換した信号

slot_in_ctrl の概要 (1)

✓ インターフェース



✓ 機能概要

受信フレームから、左右のチャンネルのPCMデータを
取り出す回路

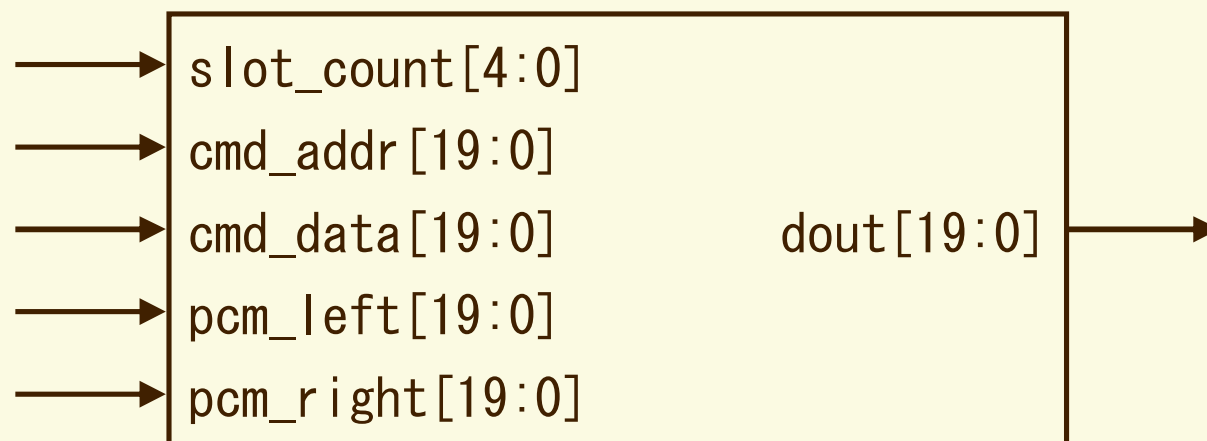
slot_in_ctrl の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
slot_count	IN	4	フレーム内の現在のスロット番号を表す信号 (Slot0 から Slot12 に対応する 0 = "0000" から 12 = "1100" までの値をとる信号)
slot_end	IN	1	LM4550に出力するフレーム内の各スロットの終了位置を表す信号 (各スロットの最終ビットで 1 となる信号)
pdin	IN	20	LM4550から受信したシリアル・データを、スロット単位でパラレル・データに変換した信号
clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
left_out	OUT	20	LM4550から受信した左チャンネルのPCMデータ
right_out	OUT	20	LM4550から受信した右チャンネルのPCMデータ

slot_out_ctrl の概要 (1)

✓ インターフェース



✓ 機能概要

スロット番号からスロット・データを生成する回路

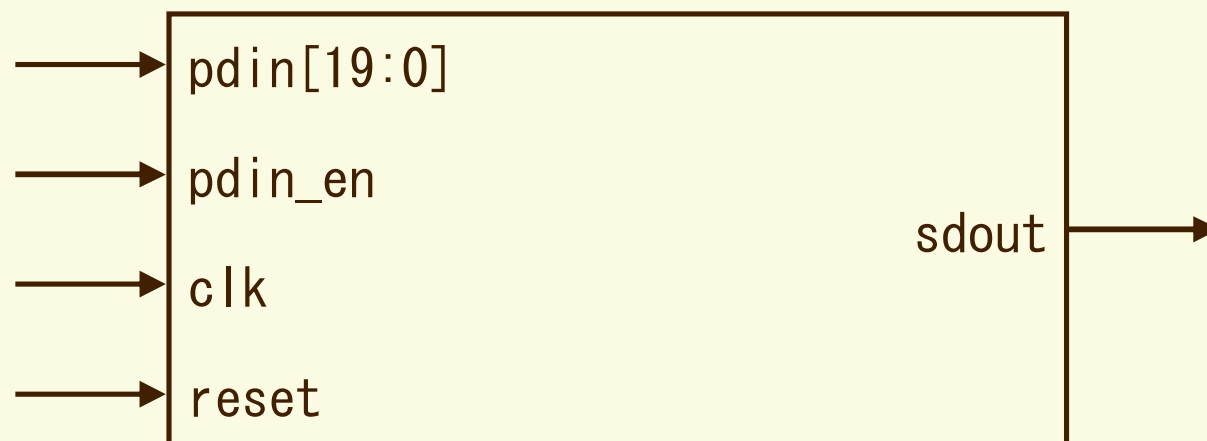
slot_out_ctrl の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
slot_count	IN	4	フレーム内の現在のスロット番号を表す信号 (Slot0 から Slot12 に対応する 0 = "0000" から 12 = "1100" までの値をとる信号)
cmd_addr	IN	20	LM4550の内部レジスタのアドレス
cmd_data	IN	20	LM4550の内部レジスタに格納するデータ
pcm_left	IN	20	LM4550に送信する左チャンネルのPCMデータ
pcm_right	IN	20	LM4550に送信する右チャンネルのPCMデータ
dout	OUT	20	LM4550に送信するスロット・データ

parallel_serial_conv の概要 (1)

✓ インターフェース



✓ 機能概要

パラレル・データをシリアル・データに変換する
回路

parallel_serial_conv の概要 (2)

✓ ピンデータ

NAME	I/O	WIDTH	DESCRIPTION
pdin	IN	20	LM4550に送信するスロットの平行・データ
pdin_en	IN	1	平行-シリアル変換の区切りを表す信号 (slot_end 信号)
clk	IN	1	LM4550が生成する 12.288 [MHz] クロック (ポジティブエッジ動作)
reset	IN	1	FPGAボード上のCPUリセットボタン (押すとリセット)
sdout	OUT	1	LM4550に送信するスロットの平行・データをシリアル・データに変換した信号