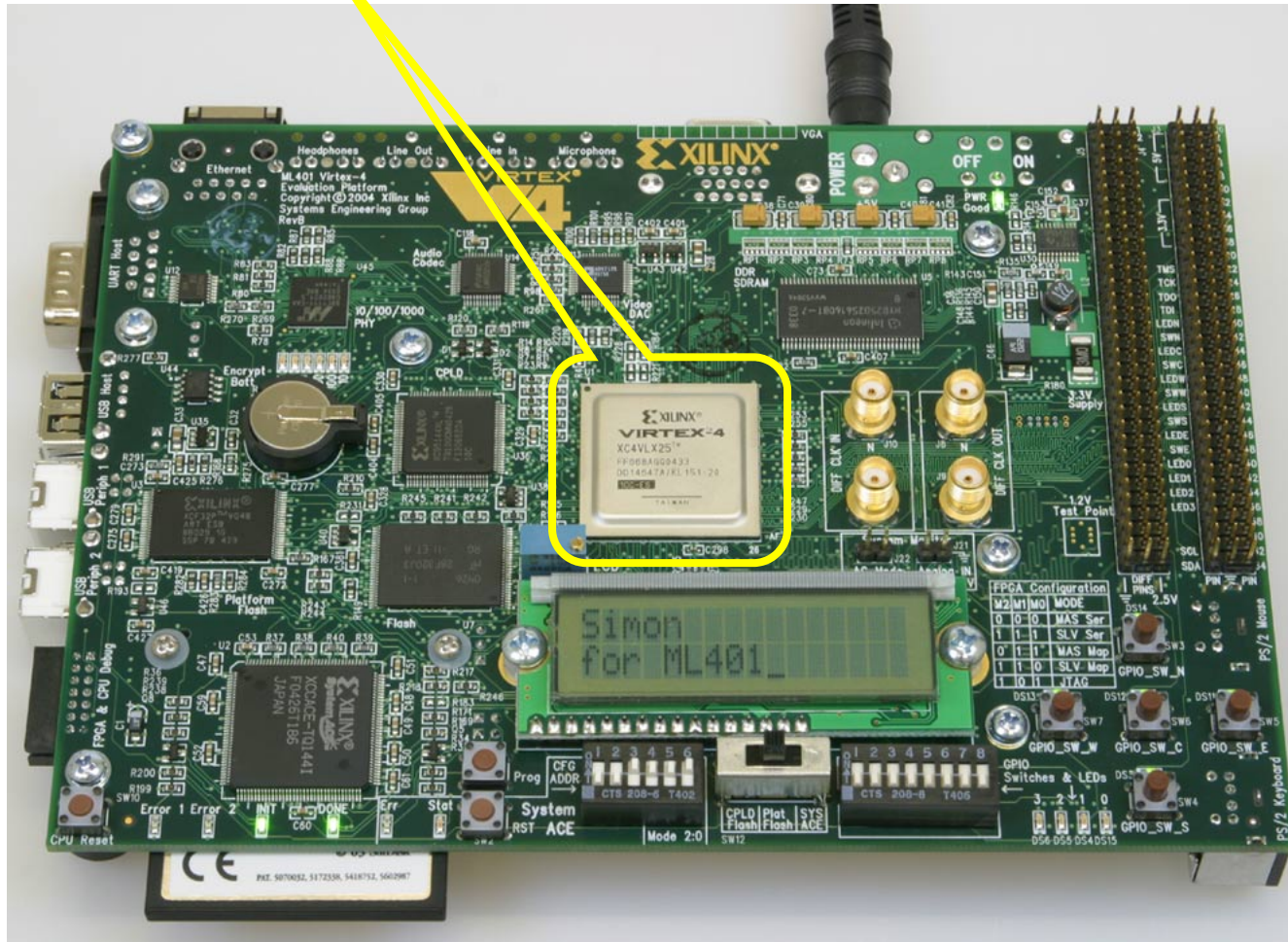
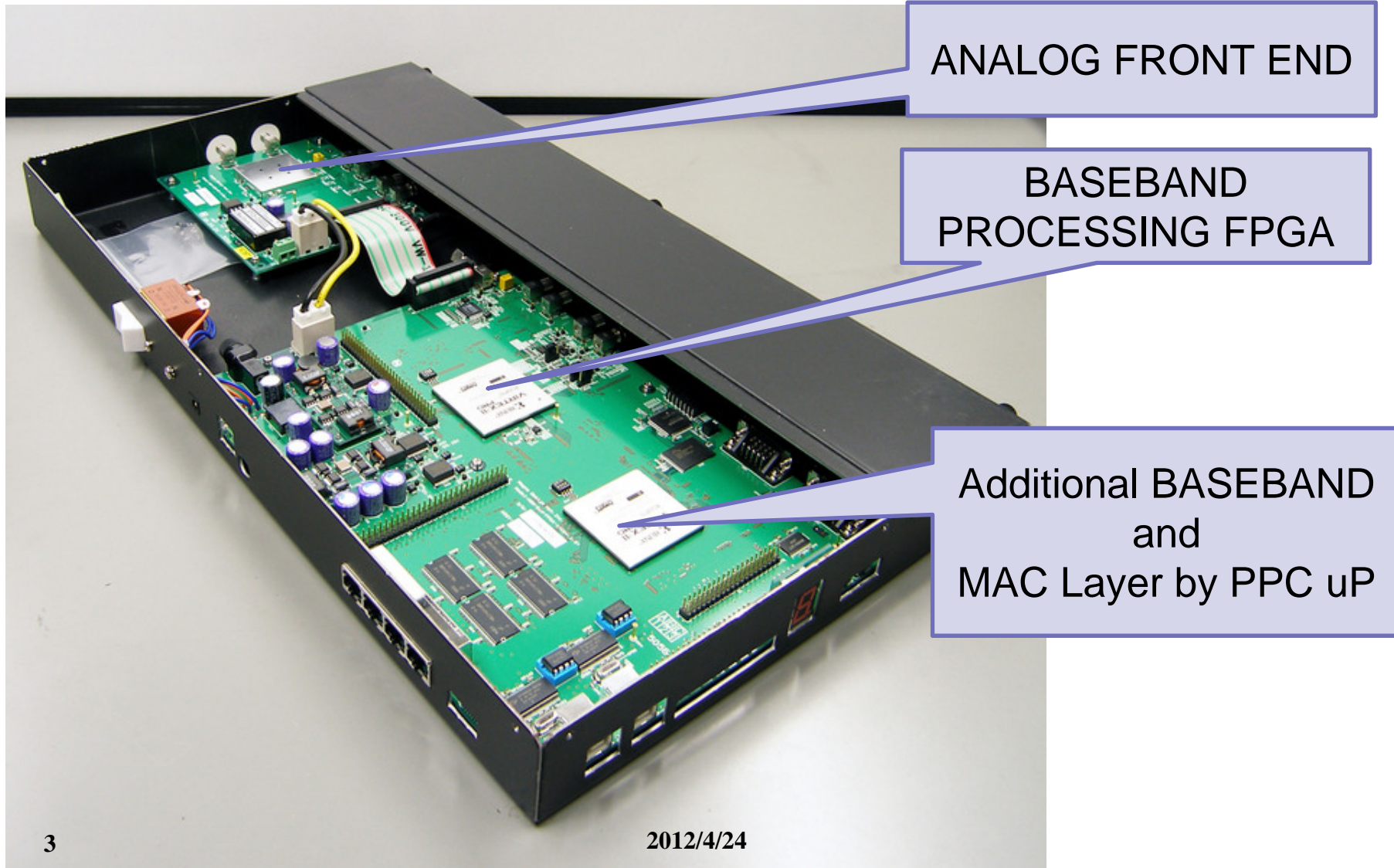


# Field Programmable Gate Array

# What is FPGA?



# XGP System Implementation

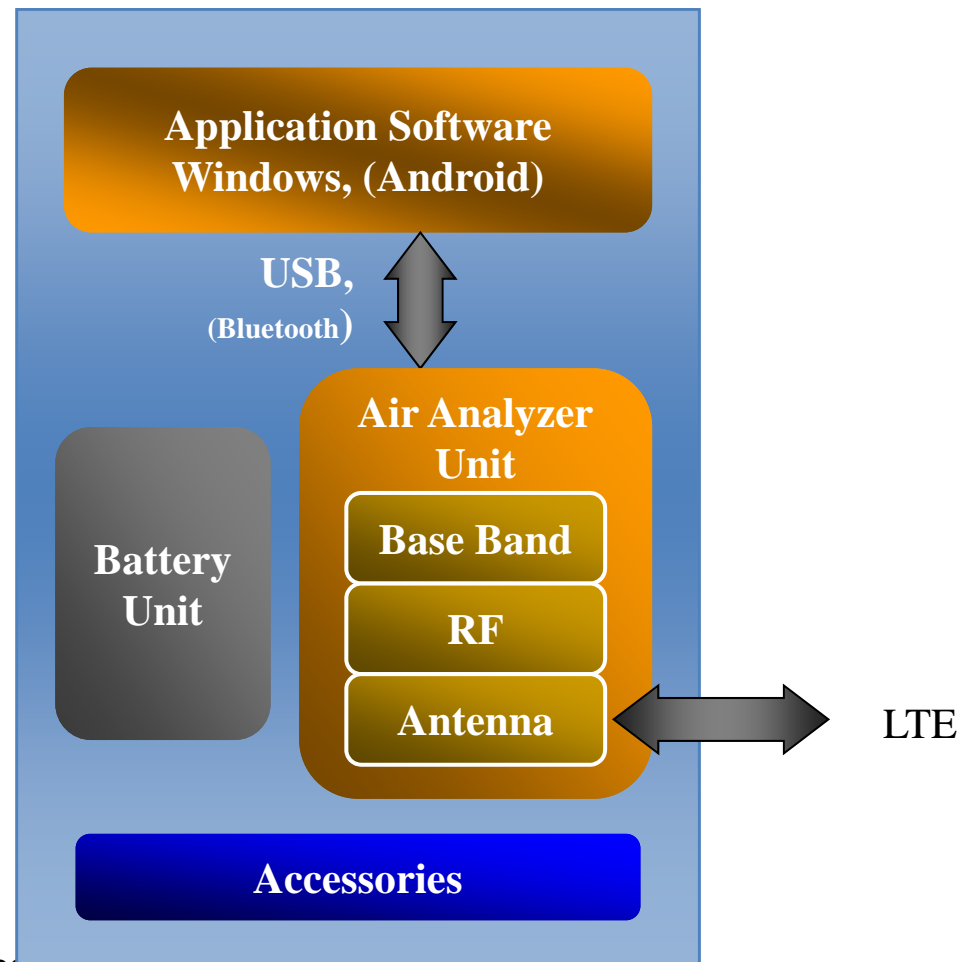


# MDN-F6 / Portable LTE Air Analyzer System

Photo of Analyzer Unit



System Block Diagram





# Ryukyu Shimpo Newspaper on 2012/12/07

## 電波解析装置を発売

### 業界初 アンドロイドに対応

高集中度集積回路（LSI）開発のマグナデザイン ネット（那覇市、松尾龍一社長）は6日、今年2月に友、那覇市と北谷町の70人から回答を得た調査レポートによると、12年のスマートフォン（多機能携帯電話）の利用者数調査に比べ約4倍増となった。調査は6月2日から約1週間、面接方式で実施した。同白書ではそのほか、県内小中学校生のネット利用状況や、企業約200社に実施した「ネット活用の実態調査結果」などを紹介している。

同日、県庁で白書発刊会見を主催するマグナデザイン常務は「IT産業関係者だけではなく一般の方にもぜひ読んでほしい」と話した。県内の書店やコンビニなどで販売、定価は700円（税込み）。

自社開発した電波解析装置「LTEエアーアナライザーシステム」を改良し、本格的に販売を開始すると発表した。業界初となるアンドロイド端末への対応と、無線通信規格「フルTDD-LTE」に対応することで、通信会社が屋外で使用する際の利便性を高めた。動画配信など大量のデータをやり取りできる高速通信「LTE」は国内外の通信会社が導入している。電波の強度やノイズなどの質を計測する同装置は、

建物などの影響でLTEの電波が届かなかつたり、通信が途切れたりする接続障害を解析し、基地局の設置調整やエリアの改善調査に使われる。年内にも県外の計測機器メーカーなど3社と代理店契約し、国内を中心に国外の通信会社にも販売網を拡充する。GPSを内蔵しLTE信号を受信解析する本体、データのモニターとなる独自開発したアプリケーションソフト、バッテリーで構成し、販売価格は約200万円。従来のウインドウズ版アプリケーションソフトもフルTDD-LTE対応のソフトウエアを目指す。

2012年度に約30台、13年度は300〜500台程度の販売を見込む。現在は国内一部大手の通信会社や中国などが推進するTD-LTE方式の周波数に対応するが、来春には市場の大きなFDD-LTEの周波数に対応するチューナーも採用する。将来的には国内外の通信会社の15%程度のシェアを目指す。

トウエアーに改良した。本体は890gと他社製品に比べ半分以下と軽量化を実現した。さらに消費電力を抑え、バッテリーは他社製品と比べて持続時間は倍以上あるという。

2012年度に約30台、13年度は300〜500台程度の販売を見込む。現在は国内一部大手の通信会社や中国などが推進するTD-LTE方式の周波数に対応するが、来春には市場の大きなFDD-LTEの周波数に対応するチューナーも採用する。将来的には国内外の通信会社の15%程度のシェアを目指す。

到着した。ロシアの北極圏ではヤマル半島などで大規模なガス田開発計画があり、同社は「今回の成功は、北極海航路を利用したアジア太平洋地域や欧州市場へのロシアのLNG供給を可能にするものだと成果を強調した。

スエズ運河を経由するルートに比べて距離換算で約40%、日数換算で約20日の短縮が可能となる。

ワイヤレス対応の電波解析装置を開発したマグナデザイン ネットの松尾龍一社長（中央）ら＝6日、県庁

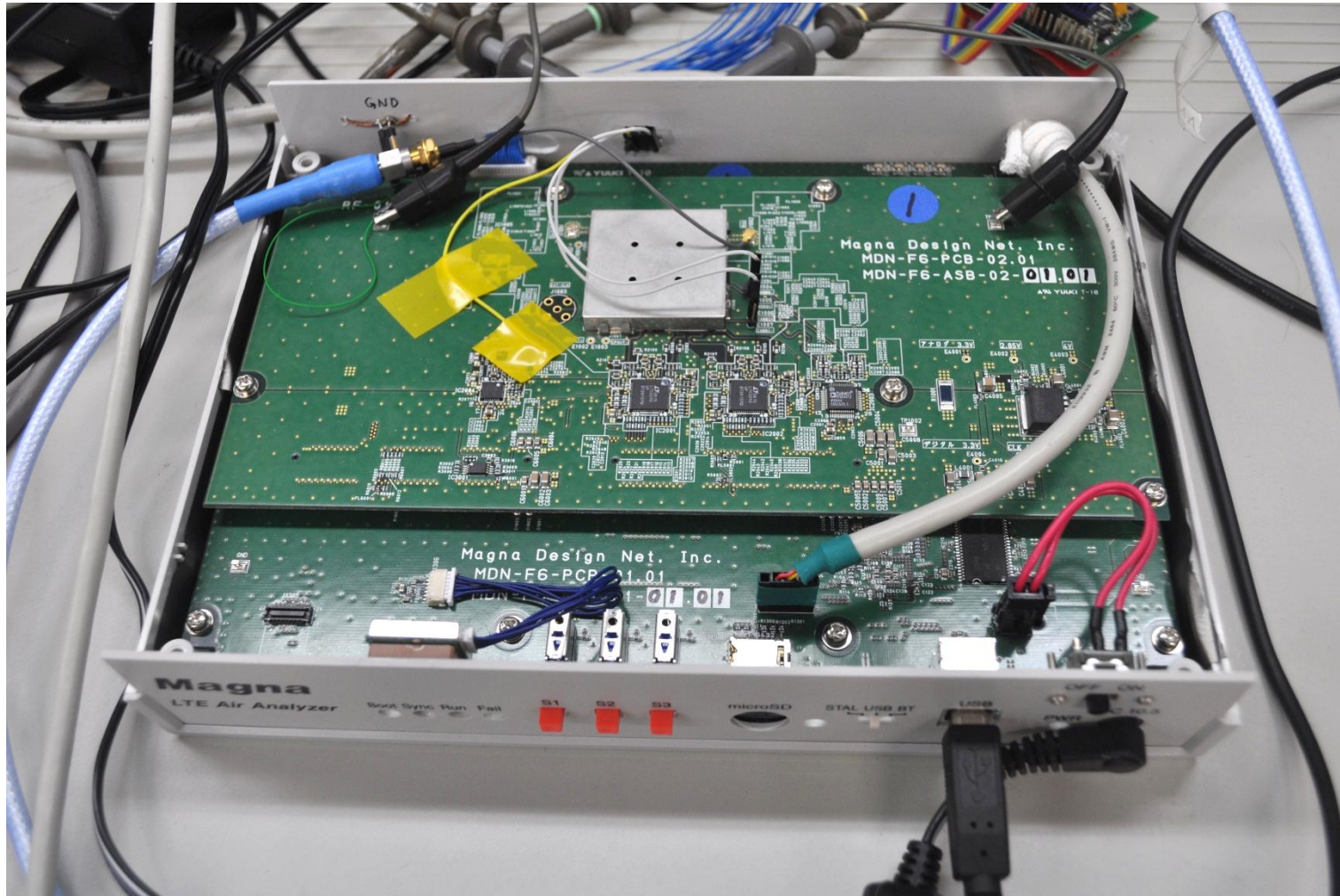
## 北極海航路で LNG を輸送

### 口企業が世界初

到着した。ロシアの北極圏ではヤマル半島などで大規模なガス田開発計画があり、同社は「今回の成功は、北極海航路を利用したアジア太平洋地域や欧州市場へのロシアのLNG供給を可能にするものだと成果を強調した。

スエズ運河を経由するルートに比べて距離換算で約40%、日数換算で約20日の短縮が可能となる。

# MDN-F6 / Portable LTE Air Analyzer System

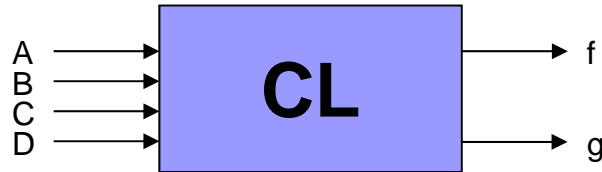




# FPGA

- Programmable (= reconfigurable) Digital System
- Component
  - Basic components
    - Combinational logics
    - Flip Flops
  - Macro components
    - Multiplier ( large combinational logic)
    - Random Access Memory (Large Density)
    - Read Only memory (Large Density)
    - CPU
  - Programmable Interconnection
  - Programmable Input/Output circuit
  - Programmable Clock Generator

# What is Combinational Logic?

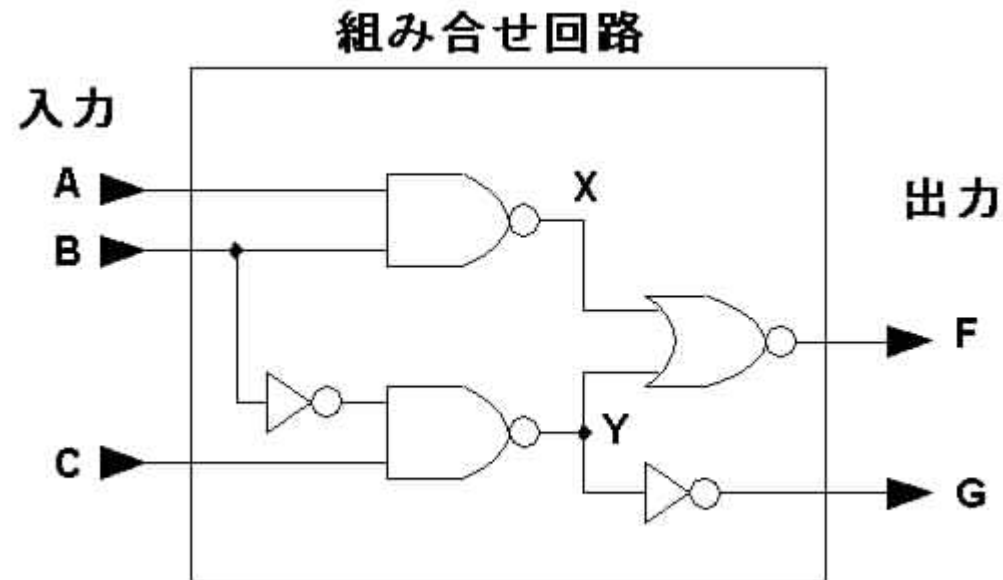


**A, B, C, D, f, g are all binary signal.**

- If output f, g are function of only inputs (A, B, C, D) then the circuit is combinational circuit.
- In another word, output signal is determined by only the combination of input signals.
  - $f = \text{func1}(A, B, C, D)$
  - $g = \text{func2}(A, B, C, D)$
- Combinational logic does NOT include memories such as Flip-Flops.
- Combinational logic can be constructed by just primitive gates such as NOT, NAND, NOR, etc. (But no feedback loop)



# Combinational Logic realization - gates -



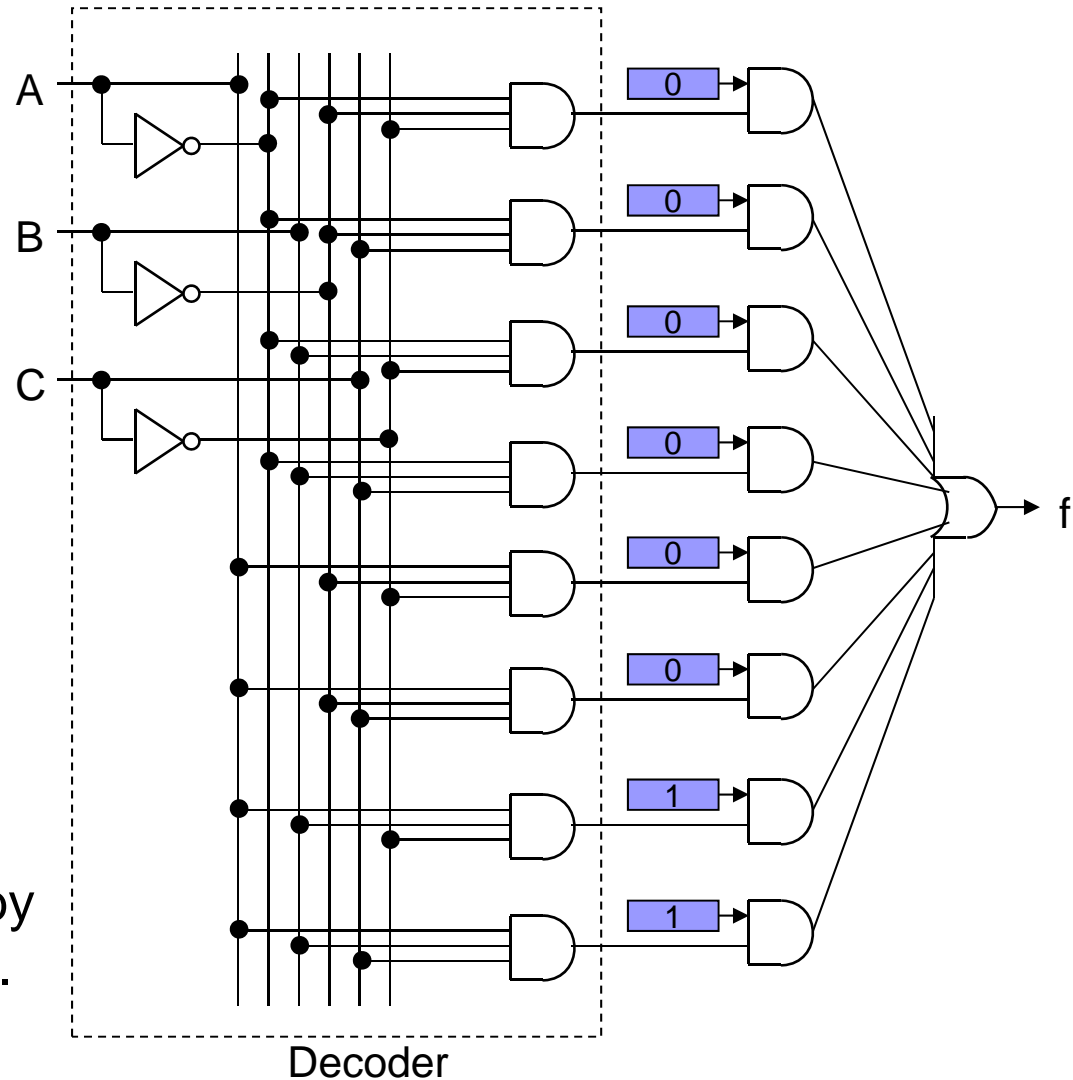
- There is no signal loop in the circuit.
- In combinational logic, signal loop is prohibited since the loop makes states (Memory).
- Function is not configurable.

# Combinational Logic realization - Table -

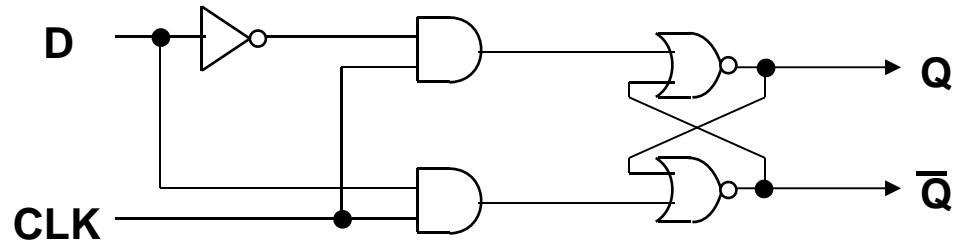
TRUTH TABLE

| A | B | C | f |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

- Function is configurable by storing the TABLE values.

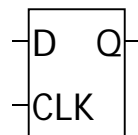


# Clocked D LATCH

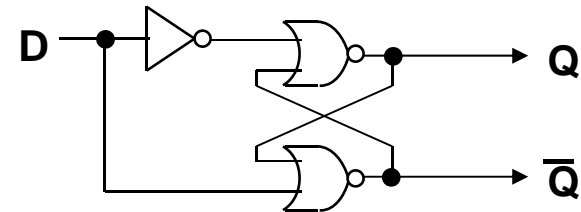


- 1 bit memory by NOR cross-loop
- When CLK=1,  $Q = D$ ,  $\bar{Q} = \text{not}(D)$
- When CLK=0, Q holds previous data.

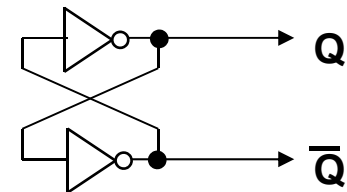
CIRCUIT SYMBOL:



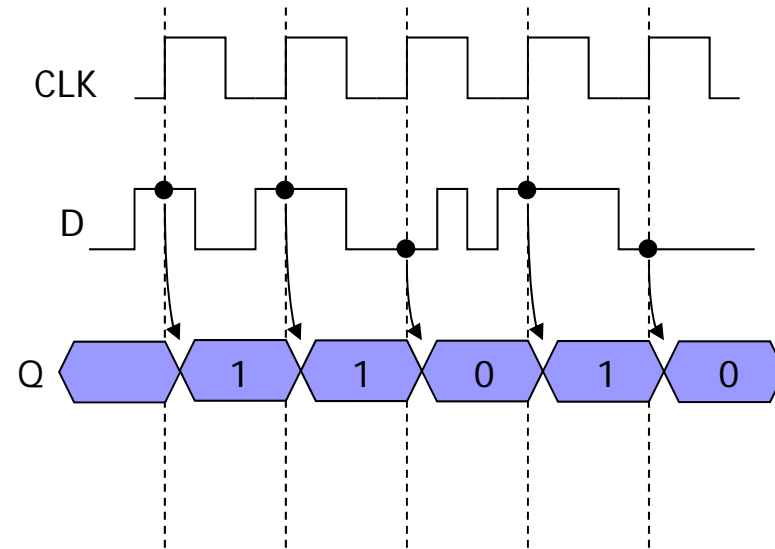
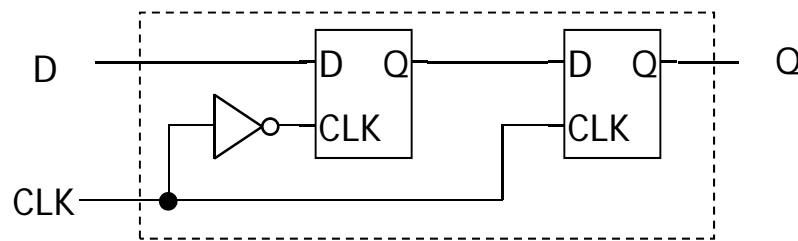
When CLK='1'



When CLK='0'

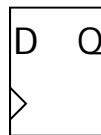


# Master-Slave D Flip-Flop



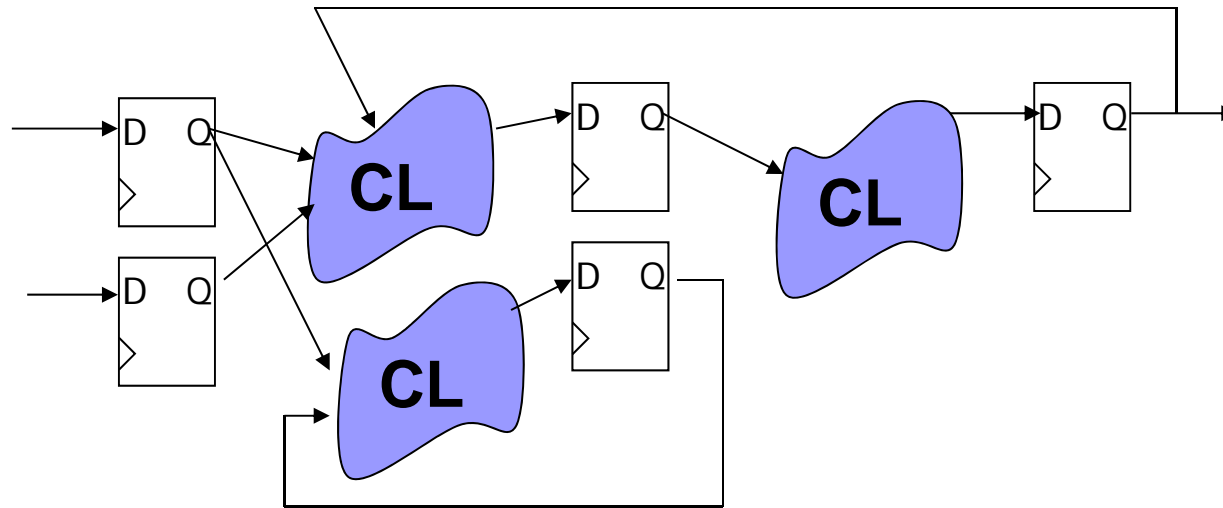
- 2 LATCHES in series
- Still work as 1 bit memory
- CLK edge Trigger Operation
- Most commonly used memory element in the state-of-the-art synchronous Digital Design.
- Q only changes CLK edge (once in one cycle).

**CIRCUIT SYMBOL:**

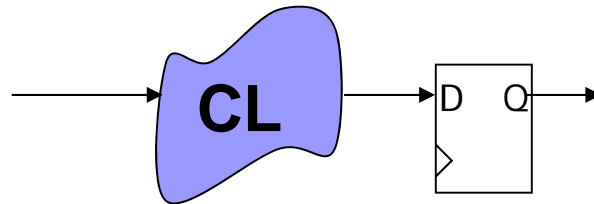




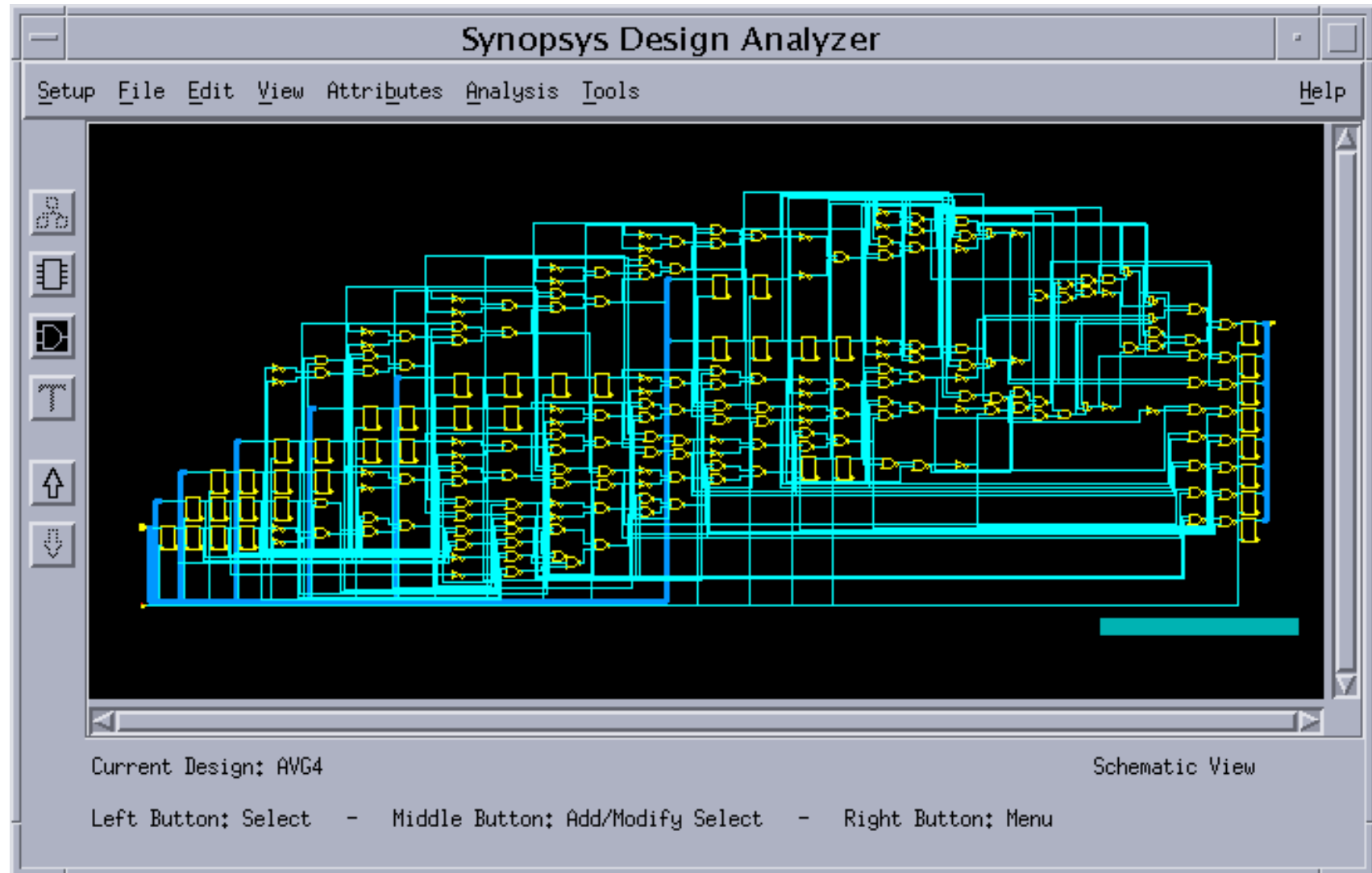
# Digital System is just FF + CLs



- FPGA supports such digital circuit with configurability.
- FPGA's basic element



# Example of Circuit Synthesis

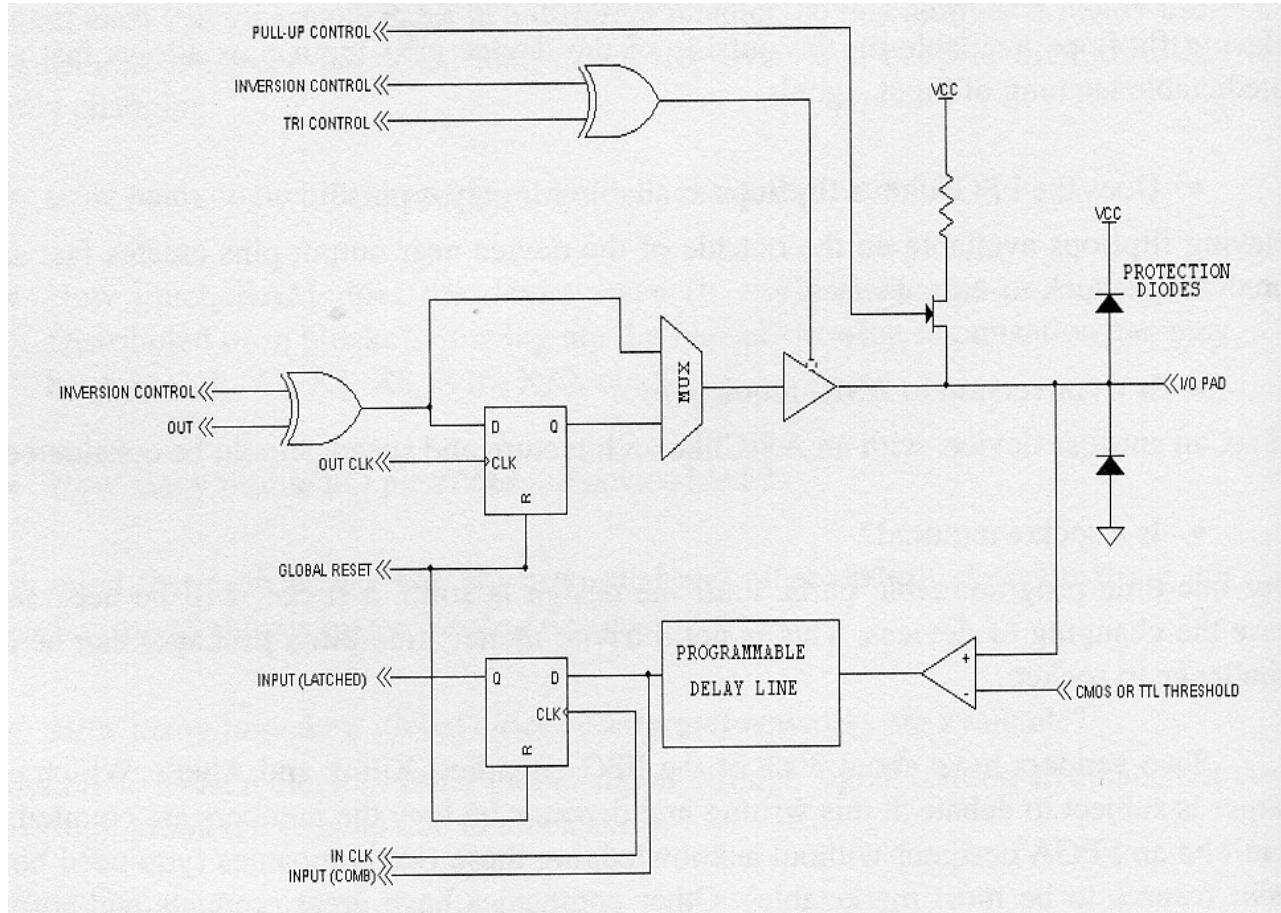




# XILINX FPGA

- Field Programmable Gate Array

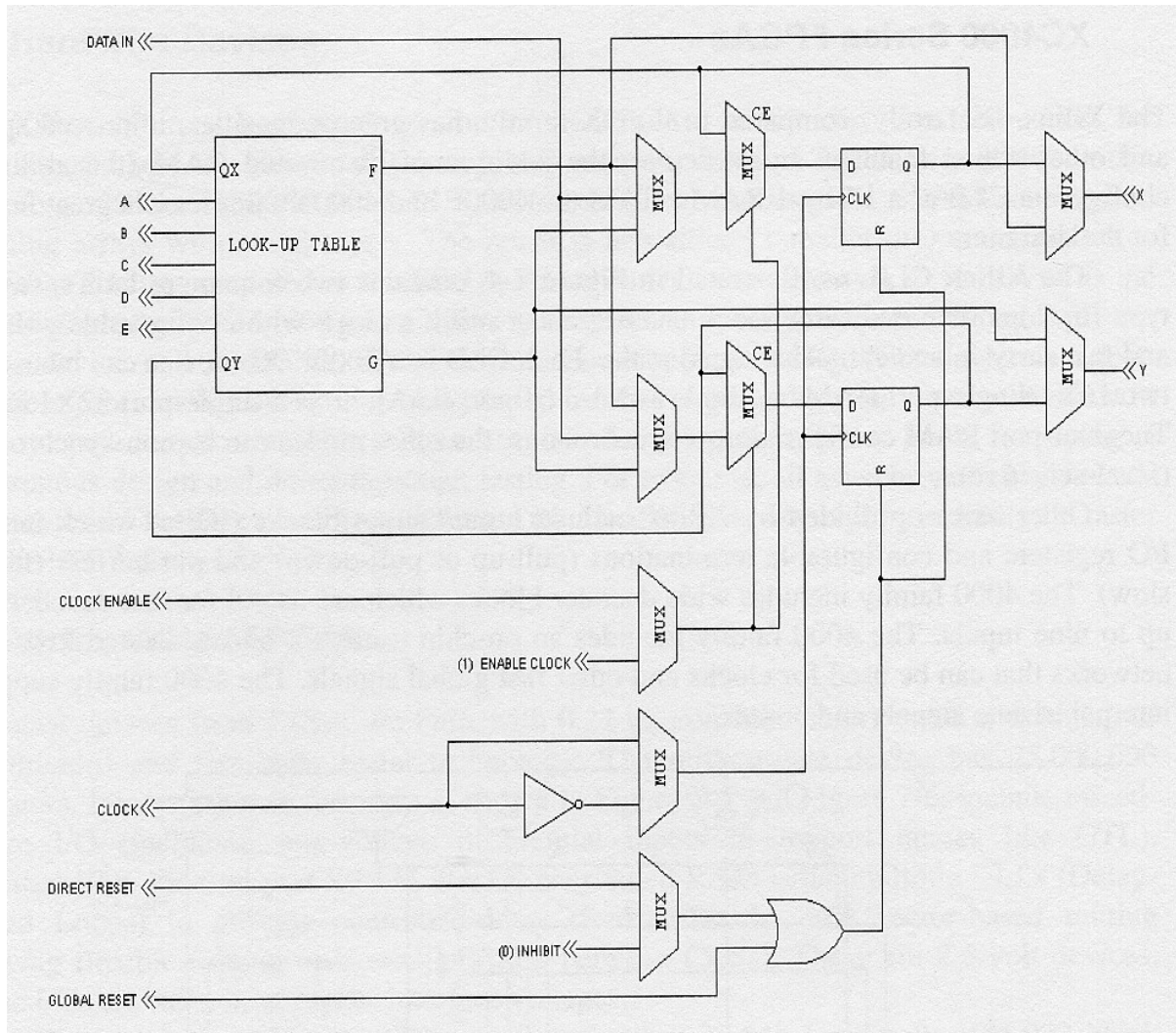
# XILINX XC3000 Family I/O



- Electronic Static Discharge Protection
- CMOS, TTL input
- Registered /Non Registered I/O

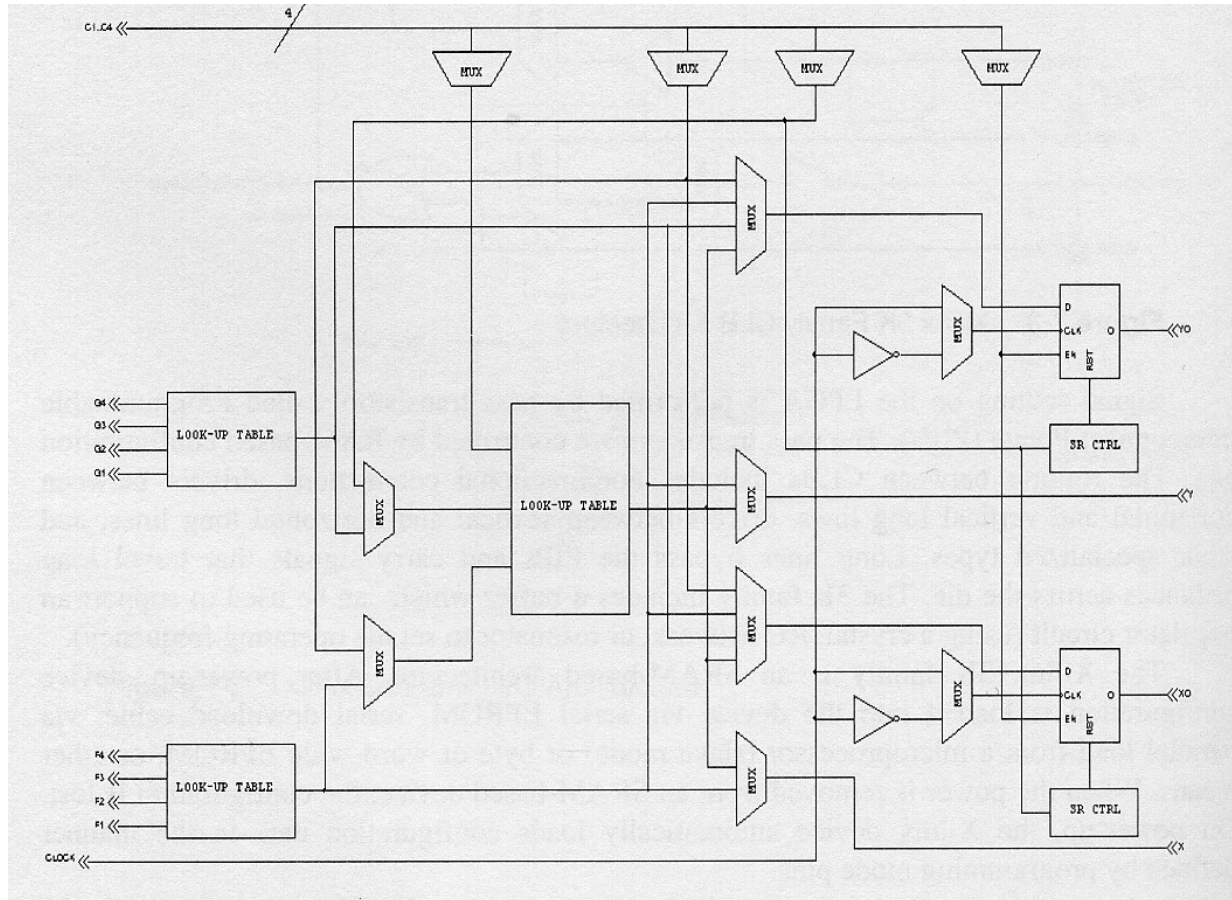


# XILINX XC3000 Family CLB



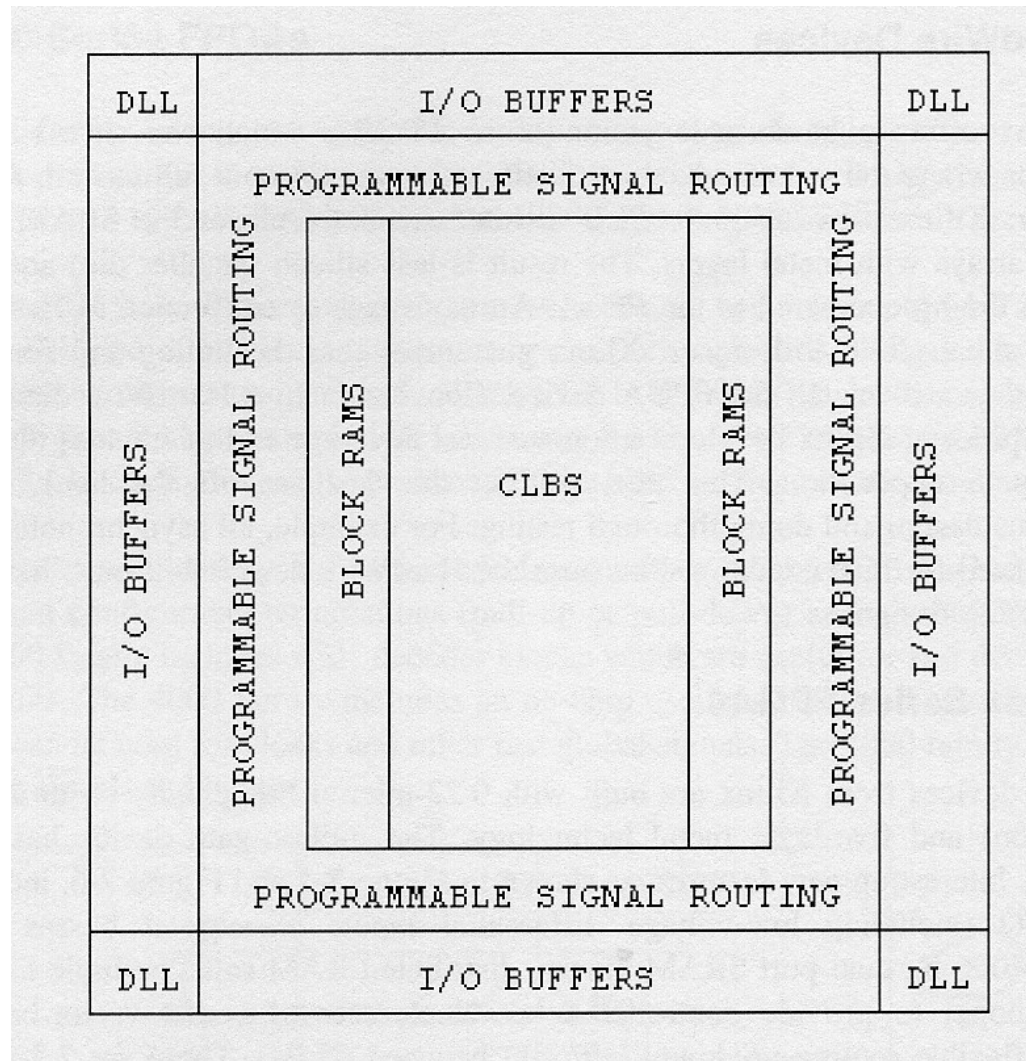
- CLB: Configurable Logic Block
- Look-up table for combinational logic
- D-Flip-Flops
- Look-up Table = RAM

# XILINX XC4000 Family CLB



- Two Stage Look-up Table

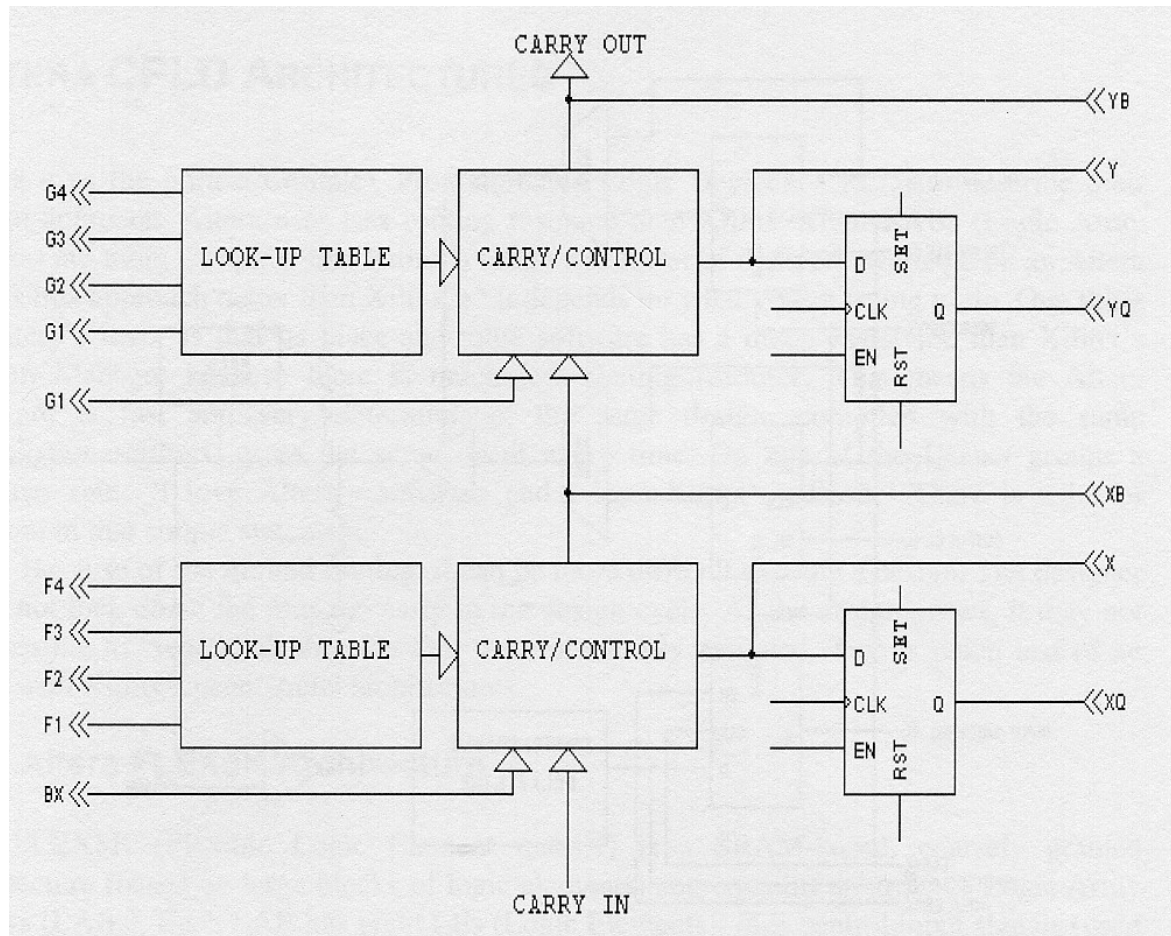
# XILINX VIRTEX FAMILY ARCHITECTURE



- CLB: Configurable Logic Block
- Many 4Kbit RAM BLOCK RAM
- DLL (Delay-Locked Loops) to provide controlled-delay clock networks
- Multiplier (18b x 18b) Macro also supported (not in figure)



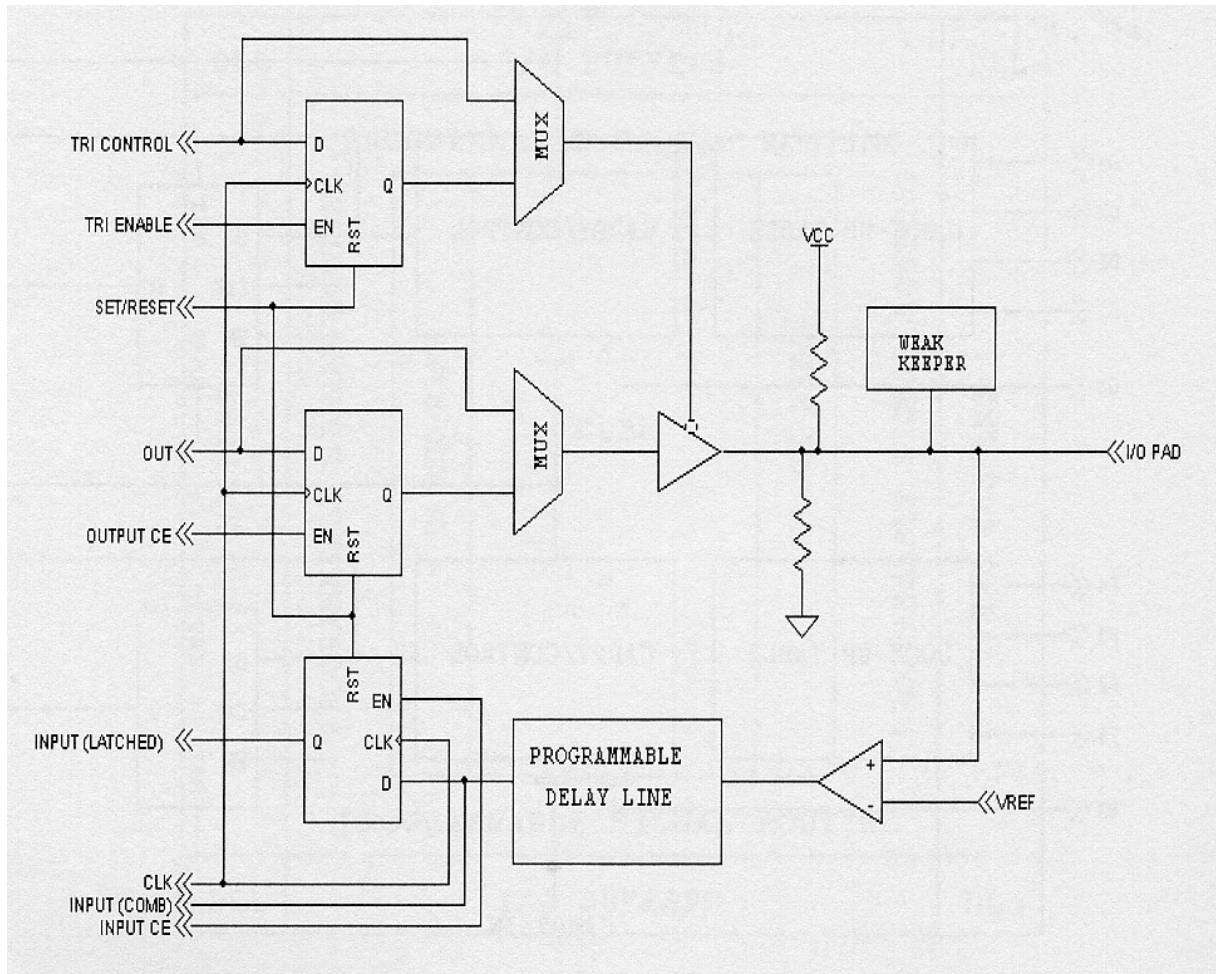
# XILINX VIRTEX FAMILY CLB



- CLB: Configurable Logic Block
- Many 4Kbit RAM BLOCK RAM
- DLL (Delay-Locked Loops) to provide controlled-delay clock networks



# XILINX VIRTEX FAMILY I/O



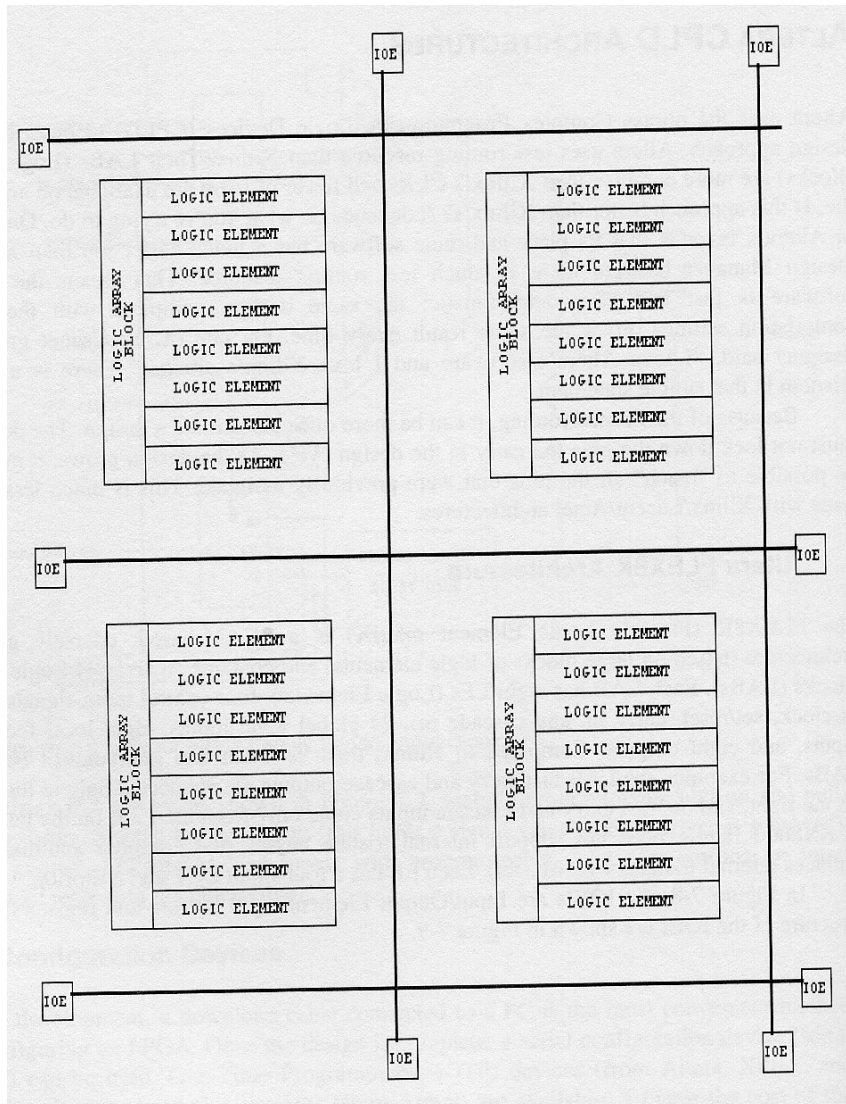
- Electronic Static Discharge Protection
- CMOS, TTL input
- Registered /Non Registered I/O



# ALTERA CPLD

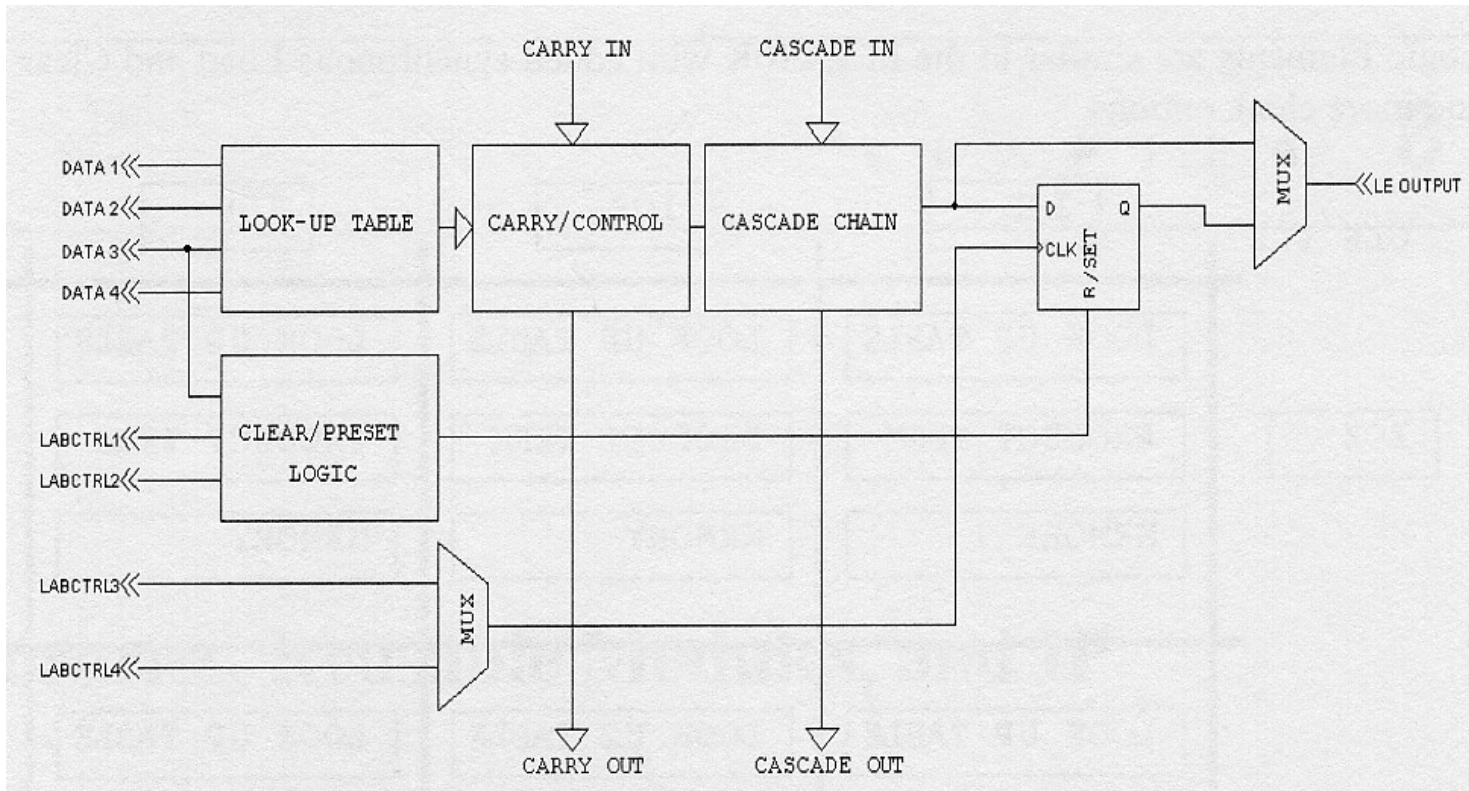
- Complex Programmable Logic Devices
- Altera uses less routing resource than Xilinx
- Altera's Logic Array Block (LAB) is more complex than Xilinx's CLBs. Then fewer LABs in on chip than Xilinx's CLBs.

# ALTERA FLEX8000 ARCHITECTURE



- Each LAB has eight LEs (Logic Elements) .

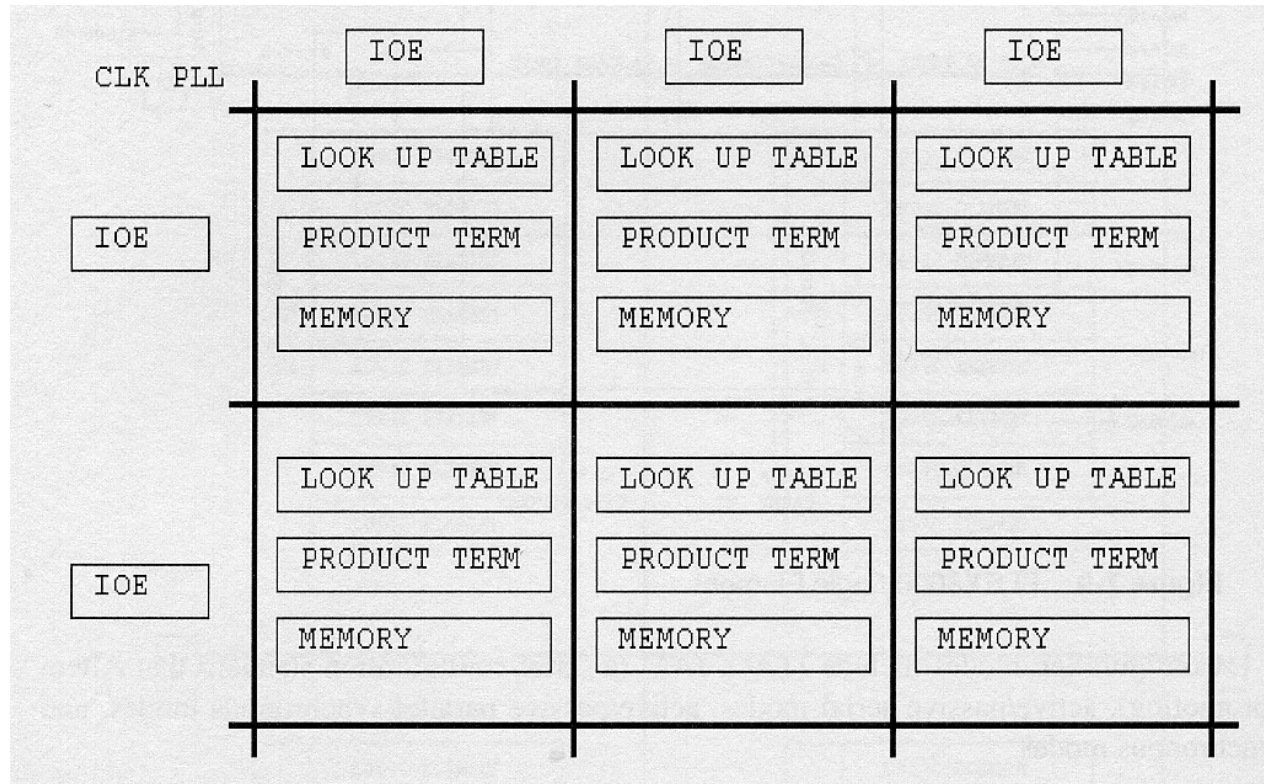
# ALTERA FLEX8000 Logic Element (LE)



- CARRY, CASCADE signals



# ALTERA APEX 20K ARCHITECTURE

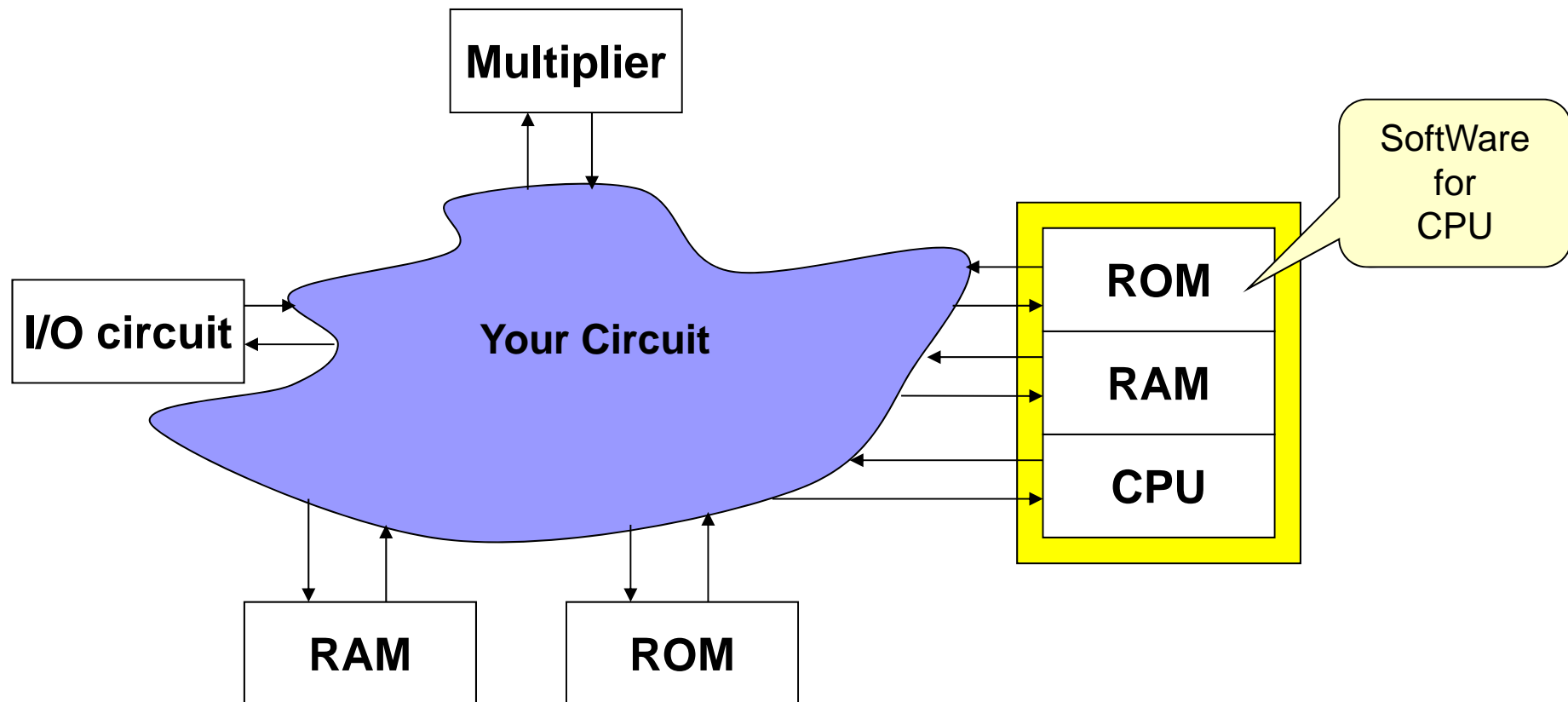


- MANY RAMs
- Large Number Input combinational logic such as Multiplier
- Phase Locked Loop for Advanced Clock generation



# How to Design your Digital System using Hard-Macro Blocks

- White Blocks might be available (Hardware pre-designed Blocks)





# Hardware Description Languages (HDLs)

- HDL is a software programming language used to model the intended operation of a piece of hardware.
- Two level of modeling
  - Abstract behavior modeling
  - Hardware structure modeling:  
Input to Circuit Synthesis
- Two kinds of Language
  - VHDL: Very High Speed Integrated Circuit hardware description language
    - Similar to Pascal Programming language
  - Verilog HDL:
    - Similar to C Programming language



# HALF\_ADDER example

## VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;

entity HALF_ADDER is
    port ( A, B : in std_logic;
          S, C : out std_logic );
end HALF_ADDER;

architecture STRUCTURE of HALF_ADDER is
begin
    S <= A xor B;
    C <= A and B;
end STRUCTURE;
```

## Verilog HDL

```
module HALF_ADDER (
    A, B,
    S, C
);

    input A, B;
    output S, C;

    assign S = A ^ B;
    assign C = A & B;
endmodule
```

# Moving Average Filter by VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.STD_LOGIC_ARITH.all;
```

```
entity AVG4 is
  port(CLK : in std_logic;
        FMINPUT : in std_logic_vector(7 downto 0);
        AVGOOUT : out std_logic_vector(7 downto 0));
end AVG4;
```

architecture RTL of AVG4 is

```
signal FF1, FF2, FF3, FF4 : std_logic_vector(7 downto 0);
signal SUM : std_logic_vector(9 downto 0);
```

begin

-- SHIFT REGISTER

```
process(CLK) begin
  if (CLK'event and CLK = '1') then
    FF1 <= FMINPUT;
    FF2 <= FF1;
    FF3 <= FF2;
    FF4 <= FF3;
  end if;
end process;
```

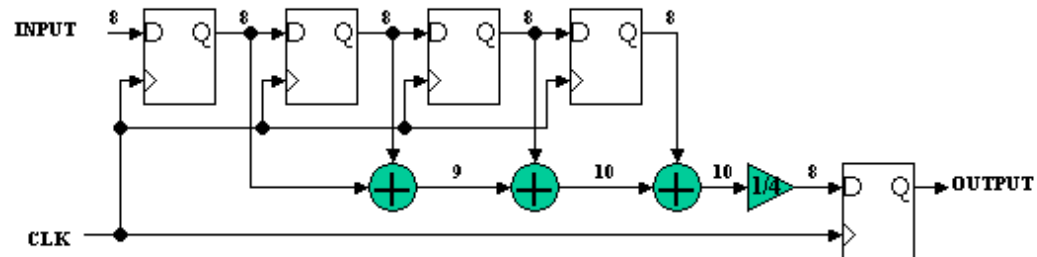
-- SUM

```
SUM <= signed(FF1(7)&FF1(7)&FF1)+signed(FF2(7)&FF2(7)&FF2)
      +signed(FF3(7)&FF3(7)&FF3)+signed(FF4(7)&FF4(7)&FF4);
```

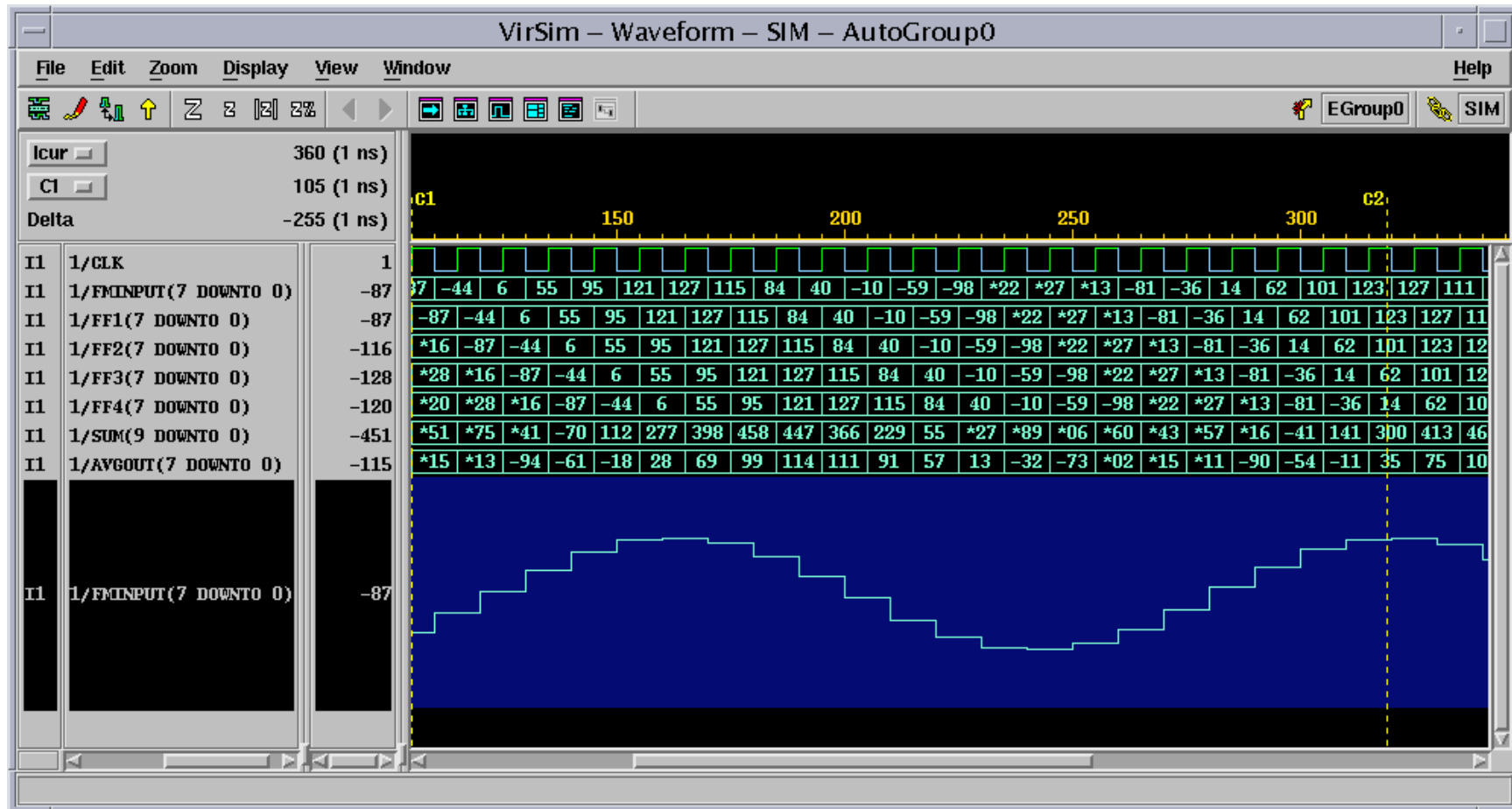
-- DIVIDE BY 4 (SHIFT 2 bit), OUTPUT REGISTER

```
process(CLK) begin
  if (CLK'event and CLK='1') then
    AVGOOUT <= SUM(9 downto 2);
  end if;
end process;
```

end RTL;

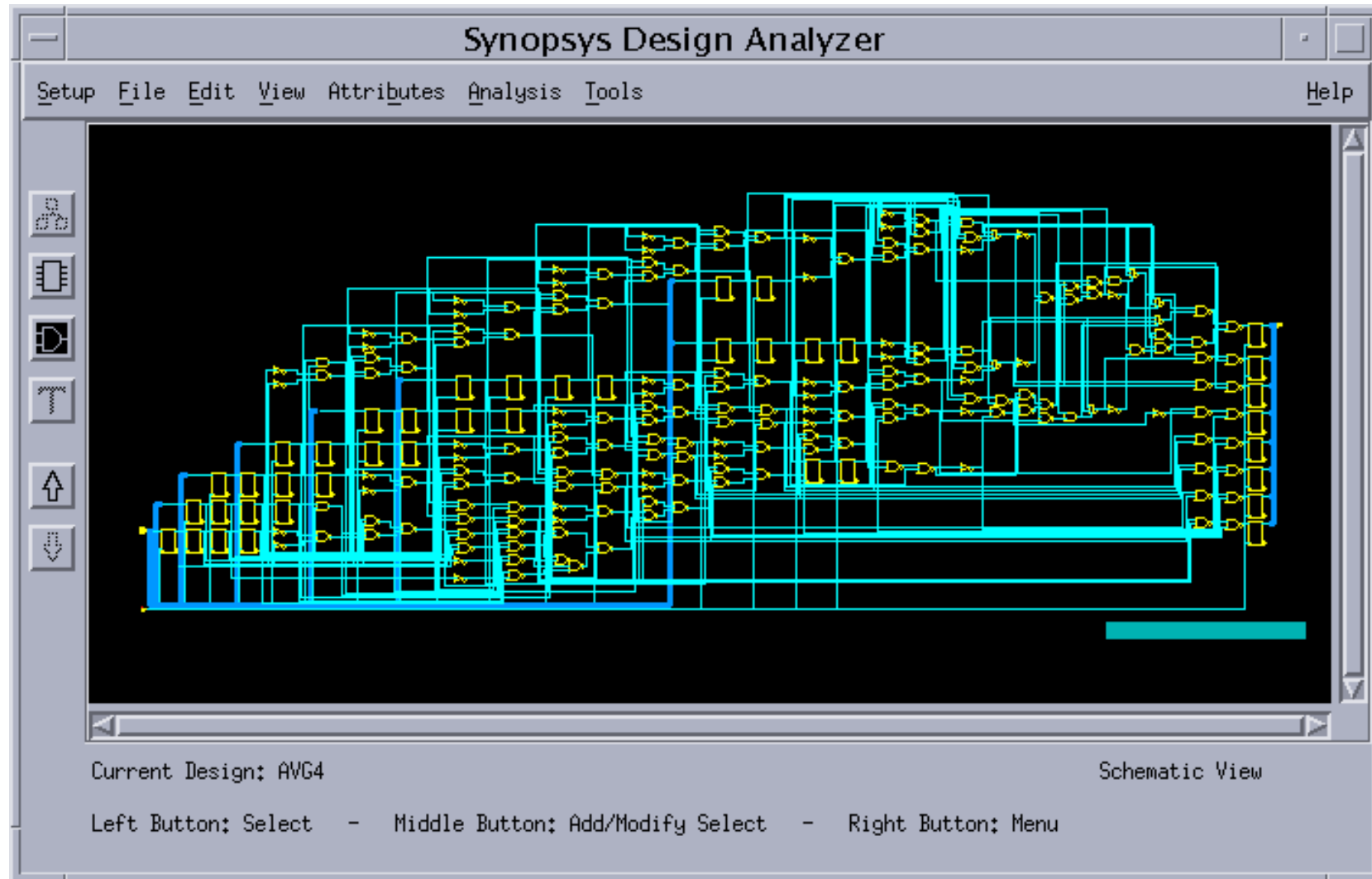


# Simulated Waveform





# Synthesized Circuit



# XILINX VP70 FLOORPLAN

