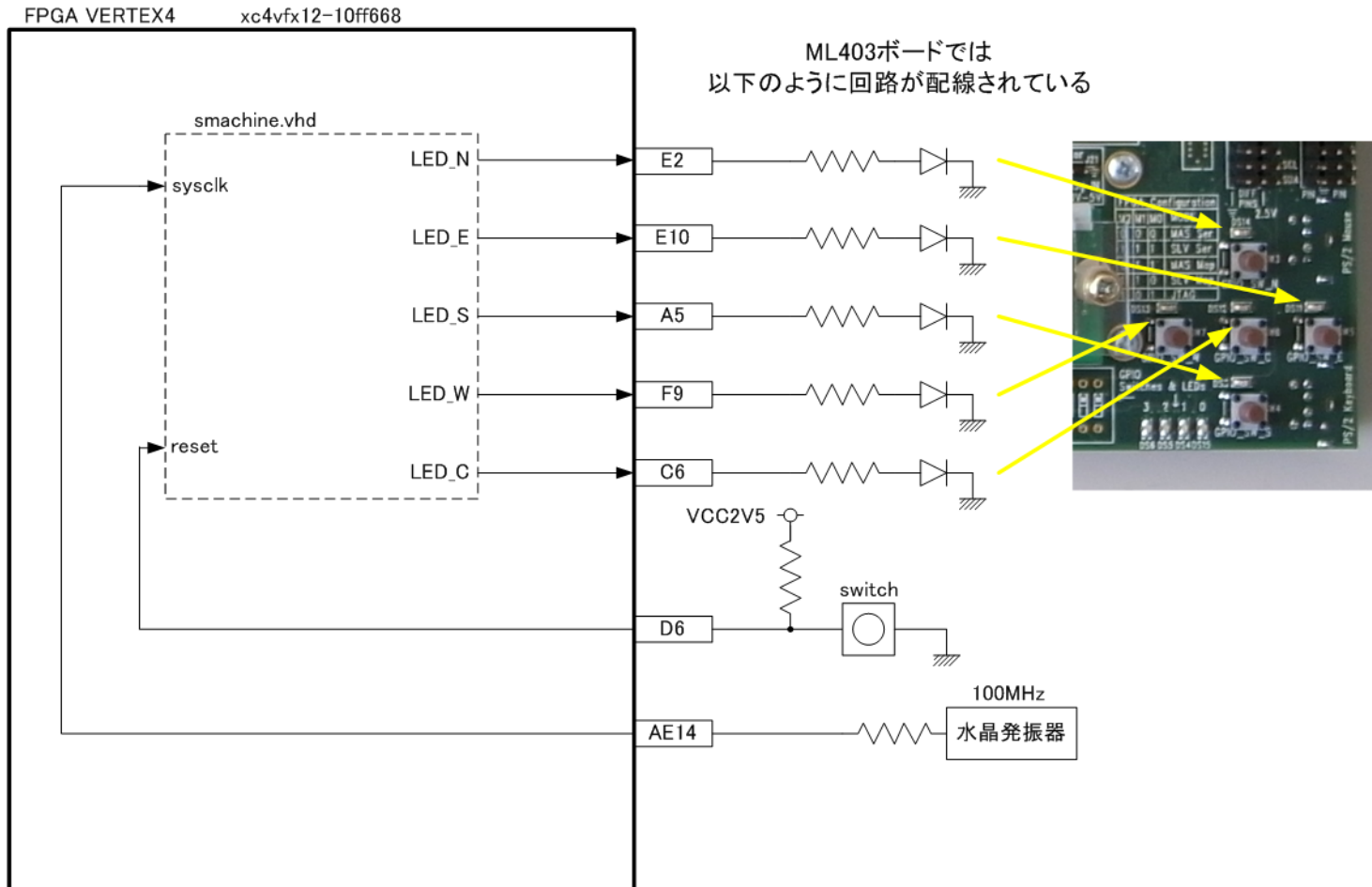


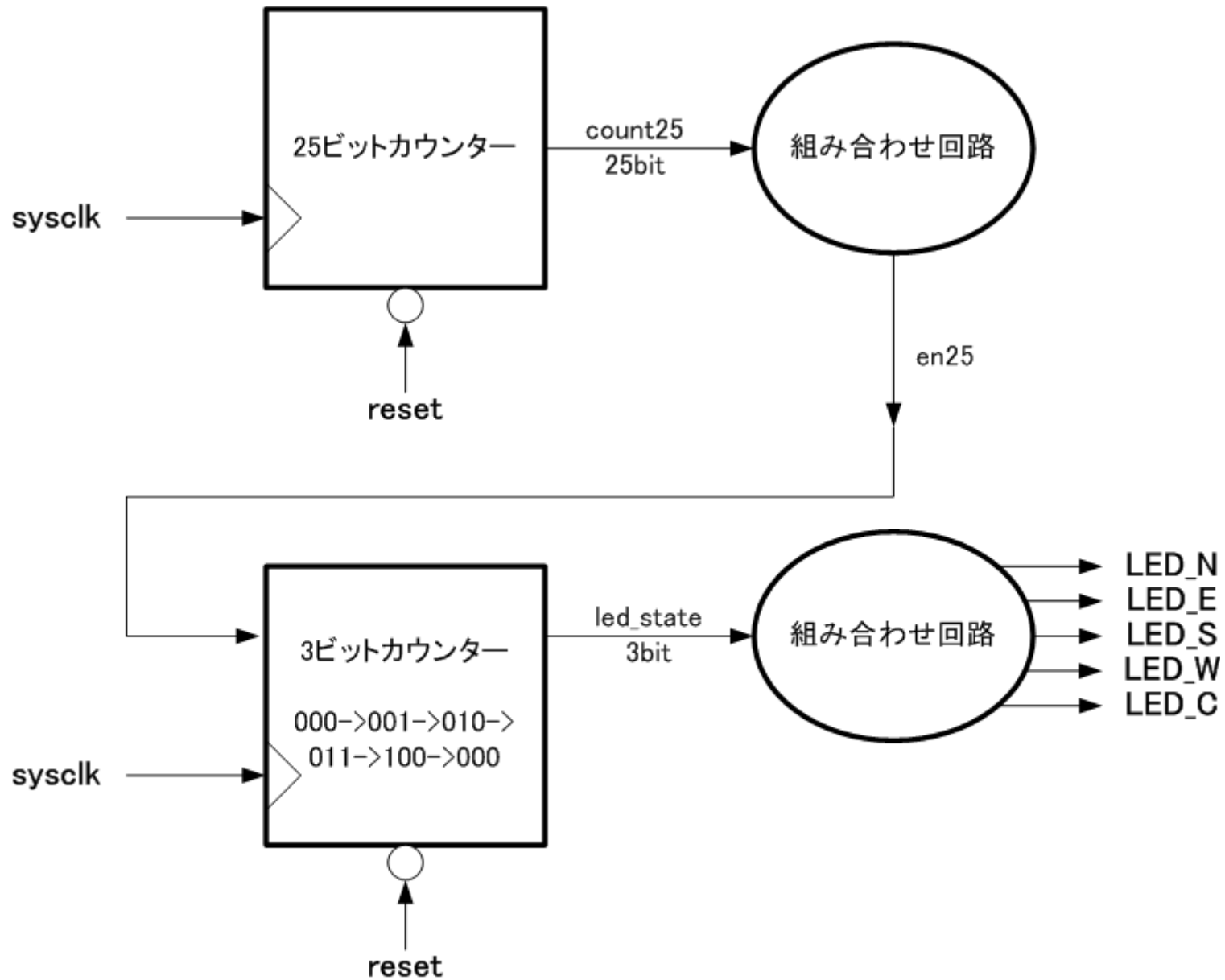
# LEDを光らせる回路の設計

- 次ページ以降に示されたsmachine.vhdを以下の動作をするように設計し、FPGAで動作をさせる。
  1. 100MHzのsysclkに同期してカウントアップする25ビットのカウンター。
  2. 上記25ビットカウンターのすべてのビットが'1'になったときに、'1'となり、それ以外では'0'となるen25信号生成組み合わせ回路。
  3. “000”->”001”->”010”->”011”->”100”->”000”を繰り返すled\_stateカウンター、ただし、カウントアップはen25='1'の時のみ発生する。
  4. 上記led\_stateにより、LED\_C, LED\_W, LED\_S, LED\_E, LED\_Nを順に'1'にする組み合わせ回路。
  5. reset='0'の時は、上記2つのカウンタ値はすべて'0'とする。

# smachine.vhd



# smachineのブロック図



# smachineのentityを示す

entity smachine is

```
Port ( sysclk : in  STD_LOGIC;  
      reset  : in  STD_LOGIC;  
      LED_N  : out STD_LOGIC;  
      LED_E  : out STD_LOGIC;  
      LED_S  : out STD_LOGIC;  
      LED_W  : out STD_LOGIC;  
      LED_C  : out STD_LOGIC);
```

end smachine;