

2018のVLSIデザイン 最終レポート課題:

講義で示したHW3の今年度の回路は16ビットで設計して、皆さんにシミュレーションしてもらいましたが、精度不足ようで、24ビット可した設計ファイルをリンクしました。

この24ビット版ニューラルネットワークに対して、ページ2以降に示す重みWやBを更新する回路を付け加えて、40000サイクル以上のシミュレーションを行い、その時のA41,A42の値をシミュレーションで調べよ。

○レポートは1名以上3名以下のチームで作成し、以下2カ所に提出。

1)メールで support@LSI-contest.comに1月31日までに送付

2)WEBCLASSにUPLOAD 2月5日火曜まで

○レポートは1ページ目に①チーム名、メンバー名、学校名、学科、学年

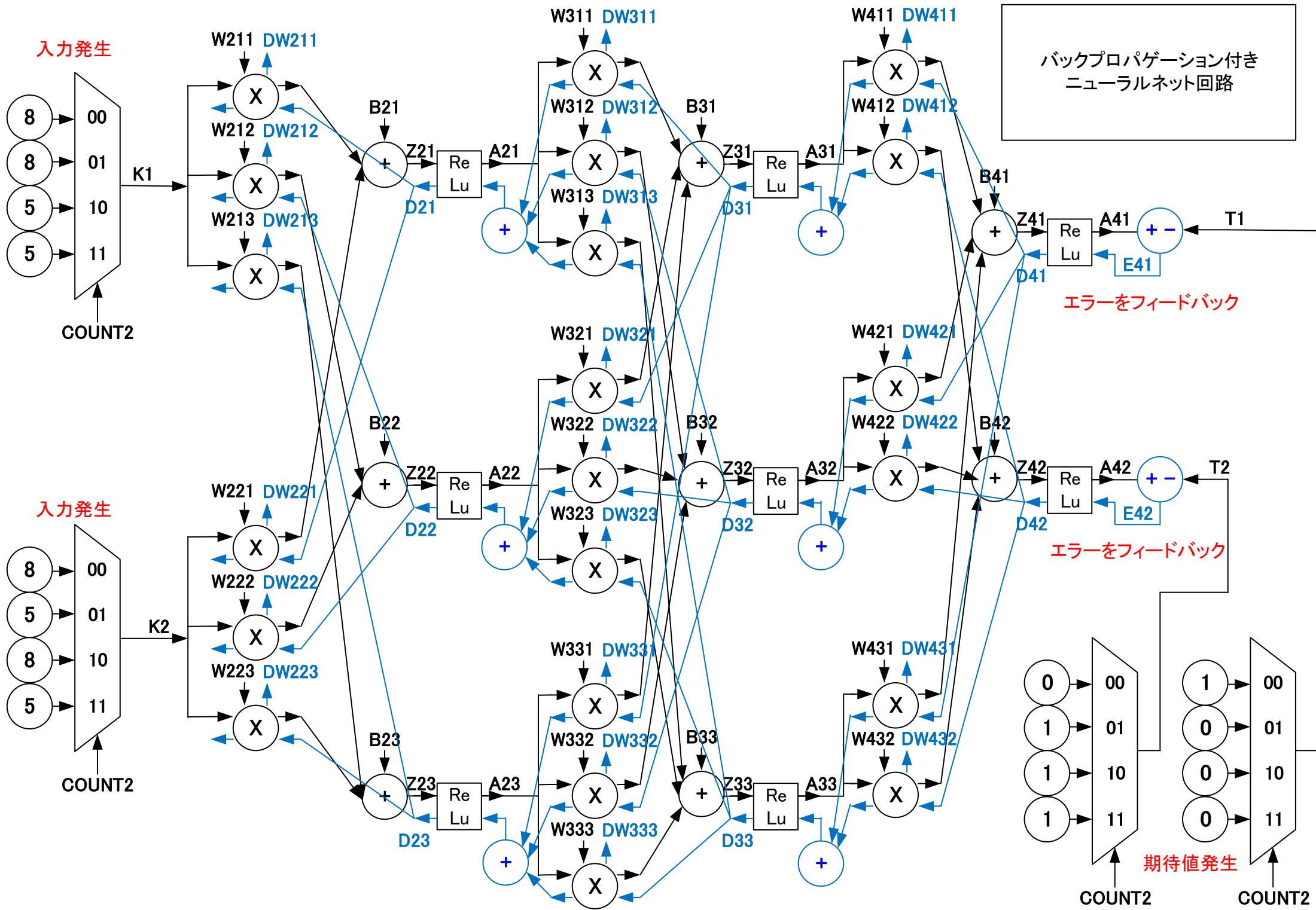
②住所、電話番号、メールアドレス、③チームメンバー全員のTシャツのサイズを記載し、2ページ目以後に

①回路ブロックもしくは、アーキテクチャ記述図面など

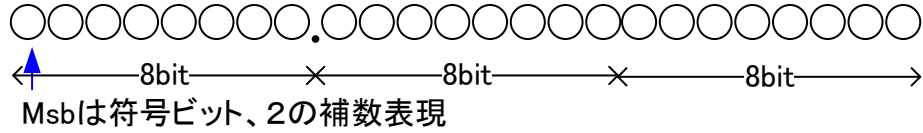
②設計した回路の機能の説明など、③アピールポイントと工夫した部分

④クリティカルパス速度、回路領域など回路合成の結果

⑤HDLコード、⑥デザインが操作しているシミュレーション波形の表示 ⑦感想



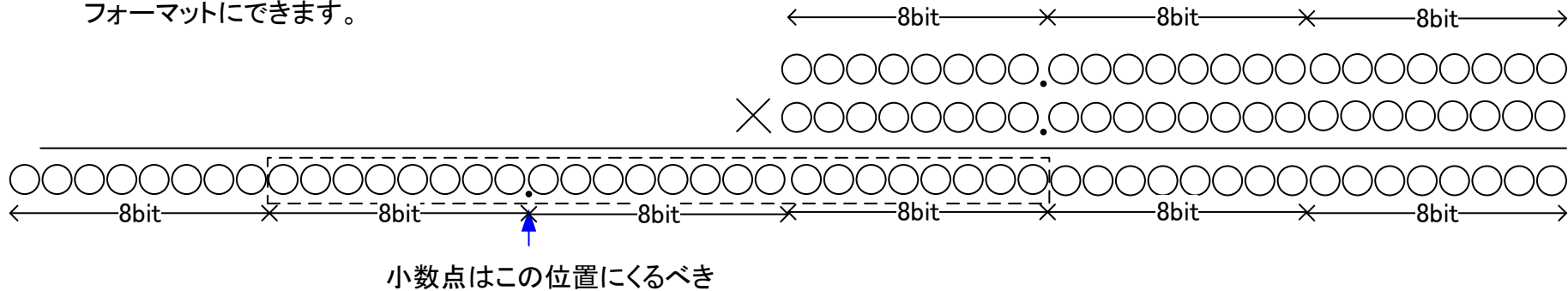
1) 適当ですが、内部の信号は24ビットで、図の位置に小数点があるとします。



すなわち、 $2^{16} = 65536$ 倍すると小数点以下はなくなります。
表現範囲は-128以上128未満で、最小単位は $1/65536$ です。

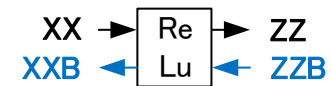
2) 24ビットの掛け算

24ビットと24ビットをかけると以下のように48ビットの結果がでます。
しかし、デジタル回路には小数点を示すものはありません。
したがって、結果の48ビットの点線の部分を取り出すことで同じ
フォーマットにできます。



3) ReLu

ReLuは入力が入力が負であれば、0を出力し、正または0であれば、入力と同じ値を出力する関数

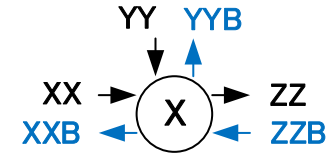


$$ZZ \leq \max(0, XX)$$

If $(XX > 0)$ then $XXB \leq ZZB$
Else $XXB \leq '0'$

4) バックプロパゲーション サポートへの拡張

4-1) 乗算での逆方向を追加



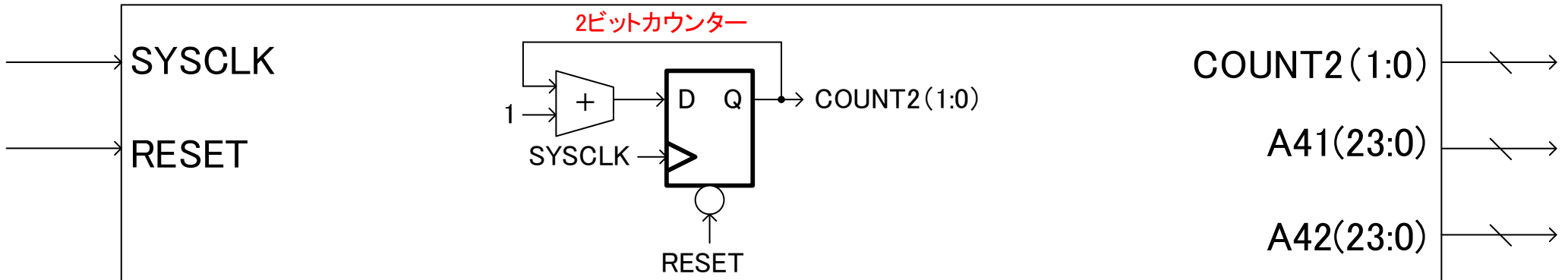
$$ZZ \leq XX * YY$$

$$XXB \leq ZZB * YY$$

$$YYB \leq ZZB * XX$$

4-2) ReLuでの逆方向を追加

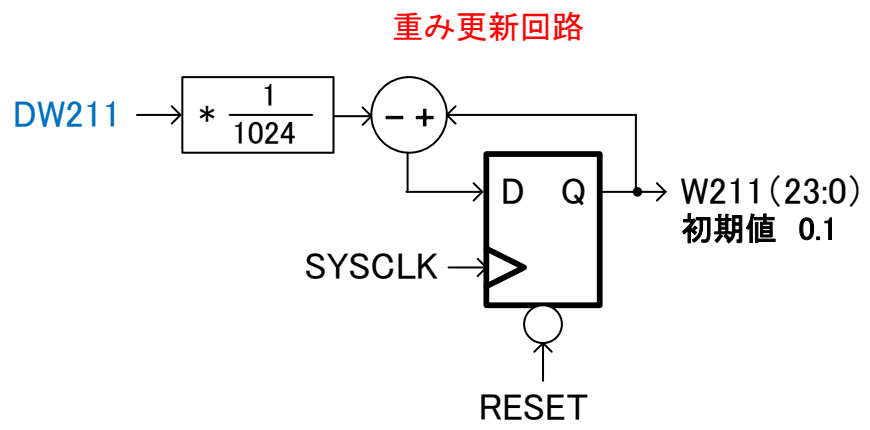
ENTITY: NN2019_BP



COUNT2(1:0)

A41(23:0)

A42(23:0)



1ページ目のバックプロパゲーションあり
のニューラルネット回路

W**の更新には、DW**を用い、
B**の更新は、D**を用いる。
W関連で21個の更新回路、
B関連で9個の更新回路が必要である。
RESET時には、それぞれ学習前の初期値をセットすること。

黒字は重みの初期値

青字は学習後の重み H31/1/15タ方差し替え

